

Docket No. 211909US261P/btm

SEP 25 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION NO. Atsumi YAMAGUCHI, et al.

SERIAL NO: 09/915,396

FILED: July 27, 2001

FOR: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

GAU: 1765

EXAMINER:

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
JAPAN	2000-110603	April 12, 2000
JAPAN	2001-051447	February 27, 2001

Certified copies of the corresponding Convention Application(s)

JP #2001-051447 is submitted herewith

will be submitted prior to payment of the Final Fee

JP# 2000-110603 was filed in prior application Serial No. 09/668,382 filed September 25, 2000

were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

Paul A. Sacher
Registration No. 43,418

09/915396



日本特許庁
JAPAN PATENT OFFICE

RECEIVED
SEP 26 2001
TC 1700

別紙添付の書類に記載されている事項は下記の出願書類に記載される事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 2月 27日

出願番号
Application Number:

特願 2001-051447

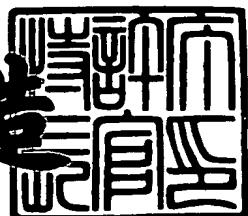
出願人
Applicant(s):

三菱電機株式会社

2001年 8月 10日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特 2001-3071596

【書類名】 特許願
 【整理番号】 521992JP02
 【提出日】 平成13年 2月27日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/27
 【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内
 【氏名】 山口 敦美
 【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内
 【氏名】 辻田 好一郎
 【特許出願人】
 【識別番号】 000006013
 【氏名又は名称】 三菱電機株式会社
 【代理人】
 【識別番号】 100089233
 【弁理士】
 【氏名又は名称】 吉田 茂明
 【選任した代理人】
 【識別番号】 100088672
 【弁理士】
 【氏名又は名称】 吉竹 英俊
 【選任した代理人】
 【識別番号】 100088845
 【弁理士】
 【氏名又は名称】 有田 貴弘

【先の出願に基づく優先権主張】

【出願番号】 特願2000-110603

【出願日】 平成12年 4月12日

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806920

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 (a)半導体基板上にエッチング対象物を形成するステップと

(b)前記エッチング対象物上に第1のレジストを形成するステップと、

(c)前記第1のレジストをパターニングして第1のレジストパターンを得るステップと、

(d)前記第1のレジストパターンに対してイオン注入を行うステップとを備え、前記ステップ(d)のイオン注入によって、前記第1のレジストパターンの膜厚が収縮し、

(e)前記ステップ(c)及び(d)実行後の前記第1のレジストパターンをマスクとして、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パターンを得るステップをさらに備え、

前記ステップ(d)実行後の第1のレジストパターンの膜厚は、前記加工パターンにおける密なパターン部分と疎なパターン部分との間に生じる、前記加工パターンの前記第1のレジストパターンに対する寸法ズレ量の差が所定の基準以下で、かつ前記所定のエッチング処理に支障を来さない条件を満足する膜厚に設定される、

半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法であって、

前記エッチング対象物は実エッチング対象物とイオン阻止膜とを含み、

前記ステップ(a)は、

(a-1)前記半導体基板上に前記実エッチング対象物を形成するステップと、

(a-2)前記実エッチング対象物上に前記イオン阻止膜を形成するステップとを含み、

前記ステップ(d)のイオン注入は第1のレジストパターンの上方からのイオン注入を含み、

前記イオン阻止膜は、前記ステップ(d)で注入されるイオンが前記実エッチ

グ対象物に注入されるのを阻止する、

半導体装置の製造方法。

【請求項3】 請求項2記載の半導体装置の製造方法であって、

前記イオン阻止膜はシリコン窒化膜あるいはシリコン窒化酸化膜を含み、

前記ステップ(a-2)は、プラズマCVD法を用いて前記イオン阻止膜を形成するステップを含む、

半導体装置の製造方法。

【請求項4】 請求項2記載の半導体装置の製造方法であって、

前記イオン阻止膜は有機反射防止膜を含む、

半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法であって、

前記ステップ(a)は、

(a-3)前記イオン阻止膜である前記有機反射防止膜にイオン注入するステップをさらに含む、

半導体装置の製造方法。

【請求項6】 請求項1ないし請求項5のうちいずれか1項に記載の半導体装置の製造方法であって、

前記エッチング対象物は第1及び第2の加工領域を含み、

前記第1のレジストパターンは前記第1の加工領域のエッチングマスク用のパターンを含み、

(f)前記ステップ(d)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、

(g)前記第2のレジストをパターニングして、前記第2の加工領域のエッチングマスク用の第2のレジストパターンを得るステップとをさらに備え、

前記ステップ(e)は、前記第1のレジストパターンに加え前記第2のレジストパターンをマスクとして、前記所定のエッチング処理を実行するステップを含む

半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法であって、

前記ステップ(f)は、前記第1のレジストパターンを含む前記エッチング対象物上の全面に前記第2のレジストを形成するステップを含み、

前記第1のレジストパターンは前記ステップ(d)のイオン注入によって生じる組成変化によって、前記ステップ(g)実行時に実質的に除去されない、半導体装置の製造方法。

【請求項8】 請求項1記載の半導体装置の製造方法であって、

前記ステップ(d)のイオン注入は前記第1のレジストパターンの形成面の垂線に対し斜め方向上から行うイオン注入を含む、
半導体装置の製造方法。

【請求項9】 請求項1記載の半導体装置の製造方法であって、

前記エッチング対象物は表面に凹凸形状を有し、
(h)前記ステップ(b)実行前に、前記エッチング対象物にイオンを注入するステップをさらに備える、
半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法であって、

前記ステップ(b)は前記第1のレジストに対し所定パターンのレティクルを介した露光処理を施した後、現像処理を実行することにより、前記第1のレジストパターンを得るステップを含む、
半導体装置の製造方法。

【請求項11】 請求項9記載の半導体装置の製造方法であって、

前記エッチング対象物は表面にマスクの重ね合わせ用のマークを有する、
半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法であって、

前記ステップ(h)は、
(h-1)前記エッチング対象物上に第3のレジストを形成するステップと、
(h-2)前記第3のレジストに対し、前記マークを含むマーク形成領域上に開口部が形成されるようにパターニングを行い第3のレジストパターンを得るステップと、
(h-3)前記第3のレジストパターンをマスクとして、前記エッチング対象物の

前記マーク形成領域にイオンを注入するステップとを含む、
半導体装置の製造方法。

【請求項13】 請求項1記載の半導体装置の製造方法であって、
前記ステップ(d)のイオン注入は、各々の注入エネルギーの異なる複数の部分
イオン注入を含む、
半導体装置の製造方法。

【請求項14】 (a)半導体基板上にエッチング対象物を形成するステップ
と、

(b)前記エッチング対象物上に第1のレジストを形成するステップと、
(c)前記第1のレジストをパターニングして第1のレジストパターンを得るス
テップと、
(d)前記第1のレジストパターンに対して、分解反応を促進させる化学反応促
進処理を行うステップと、
(e)前記第1のレジストパターンに対して、イオン注入、電子線照射及び紫外
線照射のうち一を含むキュアリング処理を行うステップとを備え、前記ステップ
(e)の前記キュアリング処理によって、前記第1のレジストパターンの膜厚が収
縮し、
(f)前記ステップ(c)～(e)実行後の前記第1のレジストパターンをマスクとし
て、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パタ
ーンを得るステップをさらに備える、
半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法であって、
前記エッチング対象物は第1及び第2の加工領域を含み、
前記第1のレジストパターンは前記第1の加工領域のエッチングマスク用のパ
ターンを含み、
(g)前記ステップ(e)実行後の少なくとも前記第2の加工領域上に第2のレジス
トを形成するステップと、
(h)前記第2のレジストをパターニングして、前記第2の加工領域のエッチ
ングマスク用の第2のレジストパターンを得るステップとをさらに備え、

前記ステップ(f)は、前記第1のレジストパターンに加え前記第2のレジストパターンをマスクとして、前記所定のエッチング処理を実行するステップを含む半導体装置の製造方法。

【請求項16】 請求項15記載の半導体装置の製造方法であって、

(i)前記ステップ(f)の前でかつ前記ステップ(h)後に実行され、少なくとも前記第2のレジストパターンに対して、分解反応を促進させる化学反応促進処理を行うステップと、

(j)前記ステップ(f)の前でかつ前記ステップ(h)後に実行され、少なくとも前記第2のレジストパターンに対して、前記キュアリング処理を行うステップとをさらに備える、

半導体装置の製造方法。

【請求項17】 請求項14ないし請求項16のうち、いずれか1項に記載の半導体装置の製造方法であって、

前記化学反応促進処理は対象物に対する露光処理及び熱処理のうち少なくとも一方を含む、

半導体装置の製造方法。

【請求項18】 (a)半導体基板上に前記第1及び第2の加工領域を有するエッチング対象物を形成するステップと、

(b)前記エッチング対象物に第1のレジストを形成するステップと、

(c)前記第1のレジストをパターニングして、前記第1の加工領域上に第1のレジストパターンを得るステップと、

(d)前記第1のレジストパターンに対して、イオン注入、電子線照射及び紫外線照射のうち一を含むキュアリング処理を行うステップとを備え、前記ステップ

(d)の前記キュアリング処理によって、前記第1のレジストパターンの膜厚が収縮し、

(e)前記ステップ(d)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、

(f)前記第2のレジストをパターニングして、前記第2の加工領域のエッキン

グマスク用の第2のレジストパターンを得るステップとをさらに備え、

(g)前記第1及び第2のレジストパターンをマスクとして、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パターンを得るステップをさらに備える、

半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置の製造方法に関し、詳しくは半導体集積回路素子の製造に利用されるレジストパターン形成、特にライン幅0.20μm以下の配線パターン等の高度な寸法精度と重ね合わせ精度とを得るために有効なレジストパターン形成工程を含む加工パターンの形成方法に関する。

【0002】

【従来の技術】

現在、半導体集積回路（半導体装置）の製造を行う場合、半導体基板等の下地層に対してエッチングやイオン注入などにより選択的な加工が施されている。この際、下地層の被加工部分を選択的に保護する目的で、紫外線、X線、電子線等の活性光線に感光する組成物、いわゆる感光性レジスト被膜（以後、単に「レジスト」と称する。）のパターンを下地層上に形成することが行われている。

【0003】

最も一般的に用いられているレジストパターンの形成方法は、水銀ランプのg線（波長=436nm）、i線（波長=365nm）、KrFエキシマレーザー（波長=248nm）あるいはArFエキシマレーザー（波長=193nm）を光源とした縮小投影露光装置（ステッパー）を用いた紫外線照射による方法である。

【0004】

このステッパーにはフォトマスクを装着して露光を行うのであるが、このフォトマスクは、ガラス基板上にクロム（Cr）などの遮蔽膜で回路パターンを形成したレティクルと呼ばれるものであり、露光の際にはフォトマスクと既に形成さ

れている基板上の回路パターンとの相互の位置関係が正しく決まるように精密な位置合わせ（重ね合わせ）が行われなくてはならない。

【0005】

フォトマスクに描かれたパターンは半導体基板に塗布されたレジスト膜に対してレンズを介して縮小され転写される。その後、レジスト膜に対して現像処理を行うことによってレジストパターンの形成が可能となる。

【0006】

半導体集積回路装置を製造するためには、このレジストパターン形成工程が通常20～30回程度必要とされている。

【0007】

最近では、半導体集積回路の高集積化、高性能化がますます進んでおり、これに伴って回路パターンの微細化がさらに要求されている。DRAM (Dynamic Random Access Memory) を例にとると、現在量産が行われている64MビットDRAMでは0.20～0.18μmのライン幅のレジストパターンが描かれ、その写真製版工程においては、紫外線のうちKrFエキシマレーザー光 ($\lambda = 248 \text{ nm}$) が最も多く利用されている。今後、さらにパターンの微細化とともに寸法精度、重ね合わせ精度の向上が要求されている。

【0008】

ところで、レジストパターンをマスクに下地膜のエッチングを行うことにより配線パターンなどの加工パターンを得るが、加工パターンを形成する際、当該加工パターンに隣接するスペース幅に応じてドライエッティング時に生じる寸法シフト量（レジストパターンからの寸法ズレ量）が異なるというスペース幅依存性（パターン疎密依存性）があることが最近わかつってきた。

【0009】

すなわち、加工パターン上において、スペース幅が比較的広い疎な領域上における寸法シフト量とスペース幅が比較的狭い密な領域上における寸法シフト量とが異なることがわかつてきた。以下、スペース幅が比較的広い疎な領域上における寸法シフト量とスペース幅が比較的狭い密な領域上における寸法シフト量との差を、「寸法シフト量粗密差」と略記する。

【0010】

このことは、スペース幅依存性によってエッチング時に加工パターンの寸法精度の劣化が起こることを意味しているが、寸法シフト量粗密差がパターンの微細化に伴い無視できないレベルになってきた。

【0011】

特に、シリコン酸化膜やシリコン窒化膜のエッチング時に寸法シフト量粗密差が大きいこともわかっている。しかし、パターンの微細化、高密度化のための配線のピッチおよびコンタクトホールとの間隔が狭くなってきており、セルフアラインコンタクトホール構造をとる場合が多くなっているが、そのため、ゲート形成工程においても金属配線膜上にシリコン酸化膜やシリコン窒化膜などの絶縁膜を積層したデバイス構造が必須となる。

【0012】

そこで、絶縁膜のエッチングで生じる寸法シフト量粗密差を抑制する方法が必要となっている。

【0013】

図48～図51は従来の配線パターン形成方法の一例を示す断面図である。以下、図48～図51を用いて従来の配線パターン形成方法を説明する。

【0014】

まず、図48に示すように、シリコン基板1上にポリシリコン層2を50nm(500Å)の膜厚で、続いてシリコン窒化膜3を165nm(1650Å)の膜厚で形成した後、フォトレジスト膜4を塗布し、100°Cで90秒間プリベークを行った。この時、フォトレジスト膜4の膜厚が585nm(5850Å)となるように塗布時の回転数を調節した。

【0015】

次に、図49に示すように、様々なピッチの配線パターンが描かれたレティカル(フォトマスク)5を介してKrFエキシマレーザー(波長は248nm)6を光源とするステッパーを用いて露光を行った。照明条件はNA(開口数)=0.55で、2/3輪帯照明アーチャーを用いたオファクシス法を適用した。

【0016】

続いて、110°Cで90秒間ベーク（P E B（Post Exposure Bake））を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図50に示すようにレティクルに応じたレジストパターン4aを得る。

【0017】

次に、図51に示すように、レジストパターン4aをマスクとして、トリフルオロメタン（CHF₃）、テトラフルオロメタン（CF₄）、アルゴン（Ar）、酸素（O₂）の混合ガスを用いた平行平板型反応性イオンエッチャード（R I E（Reactive Ion Etching））により塗化膜3とポリシリコン層2に対するエッティング処理を実行し、配線パターン（ポリシリコンパターン2a、シリコン塗化パターン3a）を得る。

【0018】

図52はレジストパターンとエッティング後に得られる加工パターン（ポリシリコン層とシリコン塗化膜の積層構造）とのパターン寸法の比較結果を示すグラフである。図52ではマスク寸法が0.24μmのライン幅に対するレジストパターンとエッティング後の加工パターンそれぞれの、スペース幅（Space）に対する寸法（Line Width）をプロットしている。

【0019】

図53は図52に基づくスペース幅依存性を示すグラフである。図52で示した0.24μmのライン幅におけるエッティング時の寸法シフト量（CD(Critical Dimension) Shift）の隣接するスペース幅に対する依存性を示す。図53では、最密集パターン領域からスペースが充分に広い孤立ラインパターン領域が示す寸法シフト量の差である、寸法シフト量粗密差△CD0は0.141μm程度となっている。

【0020】

【発明が解決しようとする課題】

図53に示したように、疎な環境にあるラインパターンの寸法シフト量が大きく、孤立ラインパターンを設計寸法どおりに仕上げるためにマスクサイズを元の設計寸法よりも細めるサイジング必要である。しかし、マスク寸法および得ら

れるレジストパターン寸法が小さいほど、露光裕度やフォーカス裕度（D.O.F. (Depth of Focus)）などのプロセス裕度が狭くなるため、エッチング時に生じる寸法シフト量粗密差が大きいことは望ましくない。

【0021】

そこで、ドライエッティング時の寸法シフト量を抑え、特に寸法シフト量のスペース幅依存性（パターン疎密依存性）、すなわち寸法シフト量粗密差を抑えることが重要となる。

【0022】

また、パターンの微細化が進むにつれて、タンゲステンやアルミニウムのように表面に大きなグレインをもつ下地膜上にレジストパターンを形成する場合、グレインからのハレーションの影響でパターン寸法精度の劣化が生じる。さらに、露光時の重ね合わせに関しても、同様にグレインの影響により、精度劣化が生じるという問題点があった。

【0023】

この発明は上記問題点を解決するためになされたもので、エッティングに支障無く、エッティング時の寸法シフト量粗密差を小さく抑えることが可能な半導体装置の製造方法を得ることを目的とする。

【0024】

【課題を解決するための手段】

この発明にかかる請求項1記載の半導体装置の製造方法は、(a)半導体基板上にエッティング対象物を形成するステップと、(b)エッティング対象物上に第1のレジストを形成するステップと、(c)前記第1のレジストをパターニングして第1のレジストパターンを得るステップと、(d)前記第1のレジストパターンに対してイオン注入を行うステップとを備え、前記ステップ(d)のイオン注入によって、前記第1のレジストパターンの膜厚が収縮し、(e)前記ステップ(c)及び(d)実行後の前記第1のレジストパターンをマスクとして、前記エッティング対象物に対して前記所定のエッティング処理を実行して、加工パターンを得るステップをさらに備え、前記ステップ(d)実行後の第1のレジストパターンの膜厚は、前記加工パターンにおける密なパターン部分と疎なパターン部分との間に生じる、前記加

工パターンの前記第1のレジストパターンに対する寸法ズレ量の差が所定の基準以下で、かつ前記所定のエッティング処理に支障を来さない条件を満足する膜厚に設定されている。

【0025】

請求項2の発明は、請求項1記載の半導体装置の製造方法であって、前記エッティング対象物は実エッティング対象物とイオン阻止膜とを含み、前記ステップ(a)は、(a-1)前記半導体基板上に前記実エッティング対象物を形成するステップと、(a-2)前記実エッティング対象物上に前記イオン阻止膜を形成するステップとを含み、前記ステップ(d)のイオン注入は第1のレジストパターンの上方からのイオン注入を含み、前記イオン阻止膜は、前記ステップ(d)で注入されるイオンが前記実エッティング対象物に注入されるのを阻止する。

【0026】

請求項3の発明は、請求項2記載の半導体装置の製造方法であって、前記イオン阻止膜はシリコン窒化膜あるいはシリコン窒化酸化膜を含み、前記ステップ(a-2)は、プラズマCVD法を用いて前記イオン阻止膜を形成するステップを含んでいる。

【0027】

請求項4の発明は、請求項2記載の半導体装置の製造方法であって、前記イオン阻止膜は有機反射防止膜を含んでいる。

【0028】

請求項5の発明は、請求項4記載の半導体装置の製造方法であって、前記ステップ(a)は、(a-3)前記イオン阻止膜である前記有機反射防止膜にイオン注入するステップをさらに含んでいる。

【0029】

請求項6の発明は、請求項1ないし請求項5のうちいずれか1項に記載の半導体装置の製造方法であって、前記エッティング対象物は第1及び第2の加工領域を含み、前記第1のレジストパターンは前記第1の加工領域のエッティングマスク用のパターンを含み、(f)前記ステップ(d)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、(g)前記第2のレジストをパターニ

ングして、前記第2の加工領域のエッチングマスク用の第2のレジストパターンを得るステップとをさらに備え、前記ステップ(e)は、前記第1のレジストパターンに加え前記第2のレジストパターンをマスクとして、前記所定のエッチング処理を実行するステップを含んでいる。

【0030】

請求項7の発明は、請求項6記載の半導体装置の製造方法であって、前記ステップ(f)は、前記第1のレジストパターンを含む前記エッチング対象物上の全面に前記第2のレジストを形成するステップを含み、前記第1のレジストパターンは前記ステップ(d)のイオン注入によって生じる組成変化によって、前記ステップ(g)実行時に実質的に除去されない。

【0031】

請求項8の発明は、請求項1記載の半導体装置の製造方法であって、前記ステップ(d)のイオン注入は前記第1のレジストパターンの形成面の垂線に対し斜め方向上から行うイオン注入を含んでいる。

【0032】

請求項9の発明は、請求項1記載の半導体装置の製造方法であって、前記エッチング対象物は表面に凹凸形状を有し、(h)前記ステップ(b)実行前に、前記エッチング対象物にイオンを注入するステップをさらに備えている。

【0033】

請求項10の発明は、請求項9記載の半導体装置の製造方法であって、前記ステップ(b)は前記第1のレジストに対し所定パターンのレティクルを介した露光処理を施した後、現像処理を実行することにより、前記第1のレジストパターンを得るステップを含んでいる。

【0034】

請求項11の発明は、請求項9記載の半導体装置の製造方法であって、前記エッチング対象物は表面にマスクの重ね合わせ用のマークを有している。

【0035】

請求項12の発明は、請求項11記載の半導体装置の製造方法であって、前記ステップ(h)は、(h-1)前記エッチング対象物上に第3のレジストを形成するステ

ップと、(h-2)前記第3のレジストに対し、前記マークを含むマーク形成領域上に開口部が形成されるようにパターニングを行い第3のレジストパターンを得るステップと、(h-3)前記第3のレジストパターンをマスクとして、前記エッチング対象物の前記マーク形成領域にイオンを注入するステップとを含んでいる。

【0036】

請求項13の発明は、請求項1記載の半導体装置の製造方法であって、前記ステップ(d)のイオン注入は、各々の注入エネルギーの異なる複数の部分イオン注入を含む。

【0037】

この発明に係る請求項14記載の半導体装置の製造方法は、(a)半導体基板上にエッチング対象物を形成するステップと、(b)前記エッチング対象物上に第1のレジストを形成するステップと、(c)前記第1のレジストをパターニングして第1のレジストパターンを得るステップと、(d)前記第1のレジストパターンに対して、分解反応を促進させる化学反応促進処理を行うステップと、(e)前記第1のレジストパターンに対して、イオン注入、電子線照射及び紫外線照射のうち一を含むキュアリング処理を行うステップとを備え、前記ステップ(e)の前記キュアリング処理によって、前記第1のレジストパターンの膜厚が収縮し、(f)前記ステップ(c)～(e)実行後の前記第1のレジストパターンをマスクとして、前記エッチング対象物に対して所定のエッチング処理を実行して、加工パターンを得るステップをさらに備えている。

【0038】

請求項15の発明は、請求項14記載の半導体装置の製造方法であって、前記エッチング対象物は第1及び第2の加工領域を含み、前記第1のレジストパターンは前記第1の加工領域のエッチングマスク用のパターンを含み、(g)前記ステップ(e)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、(h)前記第2のレジストをパターニングして、前記第2の加工領域のエッチングマスク用の第2のレジストパターンを得るステップとをさらに備え、前記ステップ(f)は、前記第1のレジストパターンに加え前記第2のレジストパターンをマスクとして、前記所定のエッチング処理を実行するステップを含む

【0039】

請求項16の発明は、請求項15記載の半導体装置の製造方法であって、(i)前記ステップ(f)の前でかつ前記ステップ(h)後に実行され、少なくとも前記第2のレジストパターンに対して、分解反応を促進させる化学反応促進処理を行うステップと、(j)前記ステップ(f)の前でかつ前記ステップ(h)後に実行され、少なくとも前記第2のレジストパターンに対して、前記キュアリング処理を行うステップとをさらに備える。

【0040】

請求項17の発明は、請求項14ないし請求項16のうち、いずれか1項に記載の半導体装置の製造方法であって、前記化学反応促進処理は対象物に対する露光処理及び熱処理のうち少なくとも一方を含む。

【0041】

請求項18の発明は、(a)半導体基板上に前記第1及び第2の加工領域を有するエッチング対象物を形成するステップと、(b)前記エッティング対象物に第1のレジストを形成するステップと、(c)前記第1のレジストをパターニングして、前記第1の加工領域上に第1のレジストパターンを得るステップと、(d)前記第1のレジストパターンに対して、イオン注入、電子線照射及び紫外線照射のうち一を含むキュアリング処理を行うステップとを備え、前記ステップ(d)の前記キュアリング処理によって、前記第1のレジストパターンの膜厚が収縮し、(e)前記ステップ(d)実行後の少なくとも前記第2の加工領域上に第2のレジストを形成するステップと、(f)前記第2のレジストをパターニングして、前記第2の加工領域のエッティングマスク用の第2のレジストドットパターンを得るステップとをさらに備え、(g)前記第1及び第2のレジストパターンをマスクとして、前記エッティング対象物に対して所定のエッティング処理を実行して、加工パターンを得るステップをさらに備えている。

【0042】

【発明の実施の形態】

<<実施の形態1>>

<原理>

絶縁膜のエッティングで生じる寸法シフト量粗密差を抑制する方法として、我々は、銳意研究を重ねた結果、レジストパターンの膜厚が薄いほど絶縁膜の寸法シフト量粗密差が小さくなることがわかった。そこで、ドライエッティングのマスクとして必要となる最小膜厚のレジストパターンを形成することが望ましい。

【0043】

図1～図4はこの発明の原理となる配線パターン形成方法を示す断面図である。以下、これらの図を参照して配線パターンの形成方法を説明する。

【0044】

まず、図1に示すように、シリコン基板1上にポリシリコン層2を50nm(500Å)の膜厚で、続いてシリコン窒化膜3を165nm(1650Å)の膜厚で形成した後、シリコン窒化膜3上にフォトレジスト膜4を塗布し、100°Cで90秒間プリベークを行った。この時、フォトレジスト膜4の膜厚が445nm(4450Å)となるように塗布時の回転数を調節した。

【0045】

次に、図2に示すように、様々なピッチの配線パターンが描かれたレティクル5を介してKrFエキシマレーザー6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.55で、2/3輪帶照明アーチャーを用いたオフアクシス法を適用した。

【0046】

続いて、110°Cで90秒間ベーク(PEB)を行った後、テトラメチルアンモニウムヒドロキシド(TMAH)の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図3に示すようにレティクルに応じたレジストパターン4aを得る。

【0047】

次に、レジストパターン4aをマスクにCHF₃, CF₄, Ar, O₂の混合ガスを用いて平行平板型RIEにより、エッティング対象物である窒化膜3とポリシリコン層2とに対するエッティング処理を行い、図4に示すような所望の配線パターン(ポリシリコンパターン2a, シリコン窒化パターン3a)を得る。

【0048】

上述した方法はフォトレジスト膜4の膜厚を除いて、図48～図51で示した従来のパターン形成方法と同様である。

【0049】

図5は図1～図4で示した配線パターン形成方法で形成されたレジストパターンとエッチング後の加工パターン（配線パターン（ポリシリコン層とシリコン窒化膜の積層構造））とのパターン寸法の比較結果を示すグラフである。図5ではマスク寸法が0.24μmのラインパターンに対するレジストパターンとエッチング後の加工パターンそれぞれの、スペース幅（Space）に対する寸法（Line Width）をプロットしている。

【0050】

図6は図5に基づくスペース幅依存性を示すグラフである。図6では、0.24μmのラインパターンにおけるエッチング時の寸法シフト量（CD Shift）の隣接するスペース幅に対する依存性を示している。

【0051】

図6において、L0はレジストパターンの膜厚が585nmの場合、L1はレジストパターンの膜厚が445nmの場合を示している。図6に示すように、レジストパターンの膜厚が445nmの場合の最密集パターンからスペースが充分に広い孤立ラインパターンが示す寸法シフト量疎密差△CD1は0.079μmで、従来例に示したレジストパターンの膜厚が585nmの場合の寸法シフト量粗密差△CD0の0.141μmよりも劇的に小さくなっていることがわかる。

【0052】

表1にエッチング後に0.40μm、0.35μm、0.30μmのライン幅の孤立ラインを得るためにレジストパターンのライン幅の寸法（レジスト寸法）と、それぞれのレジスト寸法（0.14, 0.08, 0.06, 0(μm)）を形成する際のフォーカス裕度（DOF）を示す。

【0053】

【表1】

単位: μm

仕上がり寸法	エッチングCDシフト							
	0.14		0.08		0.06		0	
	レジスト寸法	DOF	レジスト寸法	DOF	レジスト寸法	DOF	レジスト寸法	DOF
0.40	0.26	0.64	0.32	0.78	0.34	0.83	0.40	0.98
0.35	0.21	0.62	0.27	0.65	0.29	0.70	0.35	0.86
0.30	0.16	0.33	0.22	0.62	0.24	0.63	0.30	0.72

【0054】

例えば、エッチング後に $0.30 \mu\text{m}$ のライン幅の仕上がり寸法の加工パターンを得るために、レジスト膜厚 585 nm のプロセス（寸法シフト量粗密差が約 $0.14 \mu\text{m}$ ）では、レジスト寸法が $0.16 \mu\text{m}$ のレジストパターンが必要で、それを得るにはフォーカス裕度 $0.33 \mu\text{m}$ となる。

【0055】

同様に、エッチング後に $0.30 \mu\text{m}$ のライン幅の仕上がり寸法の加工パターンを得るために、レジスト膜厚 445 nm のプロセス（寸法シフト量粗密差が約 $0.08 \mu\text{m}$ ）では、 $0.22 \mu\text{m}$ のレジストパターン形成が必要で、それを得るには、フォーカス裕度は $0.62 \mu\text{m}$ となり、エッチング寸法シフトが小さくなるレジスト膜厚が薄い方が有利であることを示している。

【0056】

したがって、仕上がり寸法 = $0.30 \mu\text{m}$ で必要とするフォーカス裕度が 0.60 以上の場合、表1から寸法シフト量粗密差は $0.08 \mu\text{m}$ 以下にする必要があり、この「 $0.08 \mu\text{m}$ 」を所定の基準とした場合、膜厚が 445 nm のレジストパターンの寸法シフト量粗密差 $0.079 \mu\text{m}$ は所定の基準以下となる。

【0057】

さらに、膜厚の 370 nm のレジストパターンでも試したが、ドライエッティング中にレジストパターンの肩落ちが起こり、レジストパターンの膜厚がエッチングのマスクとして不足することがわかった。

【0058】

これらの結果より、エッチング時の寸法シフト量のスペース幅依存性（寸法シフト量粗密差）を最小に抑える最適なレジスト膜厚があり、エッチングのマスクとして支障を来さない限りレジストを薄膜化することが有効であるとわかった。

【0059】

＜方法＞

図7～図11はこの発明の実施の形態1である配線パターン形成方法を示す断面図である。以下、これらの図を参照して、実施の形態1の処理手順を説明する。

【0060】

図7～図9で示す工程は図1～図3で示した工程と同様に行われる。

【0061】

そして、図10に示すように、レジストパターン4aに対し、イオン7の注入を行った。ここでは、イオン種としてアルゴンを用い、50keVで 1×10^{16} / cm²でイオン注入を行う。このイオン注入によって、レジストパターン4aの膜厚は445nmの75%程度の334nm程度に収縮するとともに、レジストパターン4aの組成変化がなされることにより、シリコン窒化膜3及びポリシリコン層2用のエッチング処理に対するエッチング耐性が向上する。

【0062】

次に、図11に示すように、レジストパターン4aをマスクとして、CHF₃，CF₄，Ar，O₂の混合ガスを用いて平行平板型RIEにより窒化膜3とポリシリコン層2とに対するエッチング処理を行い、所望の配線パターン（ポリシリコンパターン2a及びシリコン窒化パターン3a）を得る。

【0063】

この際、レジストパターン4aはイオン注入によって、シリコン窒化膜3及びポリシリコン層2用のエッチング処理に対するエッチング耐性が向上しているため、レジストパターン4aの膜厚が334nm程度でもエッチングのマスクとして支障無く機能する。

【0064】

なお、エッチングに支障を来さない条件の一つとして、エッチング中にレジストパターンの（エッチング対象物の形成面に対する）垂直部分がなくならない、すなわち、レジストパターンが肩落ちしないという条件がある。

【0065】

図54～図56はレジストパターンの肩落ち現象説明用の断面図である。図54に示すように、下地基板31上に形成されたエッチング対象物32に対し、膜厚が不足した、パターン幅W1のレジストパターン33でエッチング処理を行うと、エッチング処理進行と共に、図55に示すように、レジストパターン33の両肩部分（エッジ部分）が削れられ、その後、図56に示すように、垂直部分がなくなって肩落ちが生じる。肩落ちが生じた状態でエッチング処理を行うと、パターン幅W1より狭いパターン幅W2のレジストパターン33をマスクすることになり、エッチング対象物32に対するエッチング処理による仕上がり寸法が不安定になってしまう。

【0066】

しかしながら、イオン注入されたレジストパターン4aはエッチング耐性が向上しており、膜厚が334nmのときでもエッチング処理中に肩落ちは生じることはないため、膜厚が334nmのレジストパターン4aはエッチング処理に支障を来さない条件を満足する。

【0067】

図12はスペース幅依存性を示すグラフである。図12では、0.24μmのラインパターンにおけるエッチング時の加工パターン（ポリシリコン層とシリコン窒化膜の積層構造）における寸法シフト量の隣接するスペース幅に対する依存性を示す。

【0068】

図12において、L0はレジストパターンの膜厚が585nmの場合、L1はレジストパターンの膜厚が445nmの場合を示しており、L2は膜厚が334nmでかつイオン注入されたレジストパターンを行った場合をそれぞれ示している。

【0069】

図12に示すように、レジストパターンの膜厚が334nmの場合の最密集パターンからスペースが充分に広い孤立ラインパターンが示す寸法シフト量の疎密差は0.059μmとなり、寸法シフト量粗密差をさらに縮小することがわかつた。

【0070】

このように、実施の形態1の配線パターン形成方法では、図10で示すイオン注入工程によって、レジストパターン4aの膜厚は、寸法シフト量粗密差を従来より大幅に向上させた所定の基準以下に抑え、かつポリシリコン層2及びシリコン塗化膜3用のエッティング処理に支障を来さない条件を満足する膜厚(334nm)に設定されるため、配線パターンが比較的大きな粗密差を有する場合でも、図11で示すレジストパターン4aをマスクとしたエッティング処理によって、配線パターンを寸法精度良く得ることができる。

【0071】

表1において、仕上がり寸法=0.35μmで必要とするフォーカス裕度が0.70以上の場合、表1から寸法シフト量粗密差は0.06μm以下にする必要があり、この「0.06μm」を所定の基準とした場合、膜厚が334nmのレジストパターンの寸法シフト量粗密差0.059μmは所定の基準以下となる。

【0072】

<イオン注入による別の効果>

図13に示すように、現像後のレジストパターン4aではエッジ4eにラフネス(凹凸)が見られるが、アルゴンをイオン種として、50keV、 1×10^{16} /cm²の条件でイオン注入を行うと、図14に示すように、エッジ4eのラフネスが緩和され、直線性の良好なレジストパターン4aを得ることができる。

【0073】

パターンの微細化がますます進むにつれて、エッジのラフネスが寸法精度の劣化の要因になってきており、イオン注入を施すことによりレジストパターン4aの寸法精度を向上させる効果を得ることができた。

【0074】

<<実施の形態2>>

図15～図20はこの発明の実施の形態2である配線パターン形成方法を示す断面図である。以下、これらの図を参照して、実施の形態2の処理手順を説明する。

【0075】

まず、図15に示すように、シリコン基板1上にポリシリコン層2を50nmの膜厚で、続いてシリコン窒化膜3を165nmの膜厚で形成した後、プラズマCVD法を用いて厚さ24.5nmのシリコン窒化酸化(SiON)膜8を形成する。プラズマCVD法によってシリコン窒化酸化膜8は下地の段差の影響を受けず均一な膜厚で形成される。

【0076】

その後、シリコン窒化酸化膜8上にフォトレジスト膜4を塗布し、図16～図19で示すように、実施の形態1の図7～図10で示す工程と同様のフローでイオン注入されたレジストパターン4aを得る。

【0077】

シリコン窒化酸化膜8は露光時(図17の工程)の反射防止膜(BARC; Bottom Anti-Reflective Coating)として機能するが、さらに、イオン注入時(図19の工程)にてシリコン窒化酸化膜8の下方に存在する実エッチング対象物(ポリシリコン層2)に注入されるのを阻止する保護膜(イオン阻止膜)としても機能する。なお、シリコン窒化膜3自体もイオン阻止膜としての働きを有しているため、シリコン窒化膜3の膜厚がイオンを阻止するに十分な膜厚を有している場合はイオン阻止膜としてのシリコン窒化酸化膜8は不要となる。

【0078】

最後に、図20に示すように、レジストパターン4aをマスクとして、CHF₃, CF₄, Ar, O₂の混合ガスを用いて平行平板型RIEにより窒化膜3とポリシリコン層2とに対するエッチング処理を行い、所望の配線パターン(ポリシリコンパターン2a、シリコン窒化パターン3a及びシリコン窒化酸化パターン8a)を得る。

【0079】

ここで、上記図15の工程で形成するシリコン窒化酸化膜8の代わりに有機B

A R C 膜を 80 nm の膜厚で形成し、その後、レジスト膜を塗布し、図 16～図 20 と同様の工程を経て配線パターンを形成することもできる。有機 B A R C 膜もシリコン窒化酸化膜 8 と同様に実エッチング対象物へのイオン注入に対する保護膜（イオン阻止膜）として機能する。

【0080】

有機 B A R C 膜は下地の段差上部では薄く、段差下部では厚く形成される特性がある。例えば、下地が平坦部で 80 nm の膜厚になるように有機 B A R C 膜を塗布した場合、段差上部では 20 nm しか形成されず、段差下部では 100 nm も形成され、段差上部と段差下部との間に 80 nm もの膜厚差が生じてしまう。

【0081】

有機 B A R C 膜を用いた場合、図 19 の工程におけるイオン注入時に有機 B A R C 膜の膜厚収縮が起こるが、膜厚収縮は一定の割合で起こるため、例えば 50 % の膜厚収縮が起こると仮定すると、前述した例では、段差上部では 10 nm、段差下部では 50 nm となり、膜厚差が 40 nm に減少する。

【0082】

したがって、局所的な段差をもつ実デバイスがシリコン基板 1 に作り込まれている場合、段差部分での有機 B A R C 膜の膜厚差が小さくなり、有機 B A R C 膜の膜厚が非均一なことにより生じるエッチング時の寸法シフト量の不均一性を低減する効果をイオン注入によって得ることができる。

【0083】

<<実施の形態 3 >>

図 21～図 27 はこの発明の実施の形態 3 である配線パターン形成方法を示す断面図である。以下、これらの図を参照して、実施の形態 3 の処理手順を説明する。

【0084】

まず、図 21 に示すように、シリコン基板 1 上にポリシリコン層 2 を 50 nm の膜厚で、続いてシリコン窒化膜 3 を 165 nm の膜厚で形成した後、シリコン窒化膜 3 上に有機 B A R C 膜 11 を 80 nm の膜厚で形成する。

【0085】

次に、図22に示すように、有機B A R C膜11の上方からイオン注入を行う。この時、有機B A R C膜11の膜厚収縮が起こり、シリコン基板1に作り込まれているデバイスの段差部分での有機B A R C膜11の膜厚の不均一性を低減することが効果的に行われる。

【0086】

続いて、図23～図27に示すように、実施の形態1の図7～図11で示す工程と同様のフローを経て配線パターン（ポリシリコンパターン2a、シリコン窒化パターン3a及び有機B A R Cパターン11a）の形成を行う。ここで、図26に示すように、形成したレジストパターン4aに対し、再度イオン注入を行うと、実施の形態1と同様、レジストパターン4aのドライエッチング耐性の向上と、レジストパターン4aの膜厚収縮に伴うエッチング時の寸法シフト量疎密差の低減に有效地に機能する。

【0087】

<<実施の形態4>>

図28～図35はこの発明の実施の形態4である配線パターン形成方法を示す断面図である。図28～図35では、同時形成が困難なパターンを2度の写真製版に分けて行うパターン形成方法に関して、一例としてD R A Mのビット線への適用例を示している。この工程では、メモリセル部の0.1μm以下の細いラインパターン、周辺回路部に0.20μm以下のスペースパターンの形成が必要とされる。以下、これらの図を参照して、実施の形態4の処理手順を説明する。

【0088】

まず、図28に示すように、シリコン基板1上にシリコン酸化膜9、続いて配線のための金属膜10を形成した後、金属膜10上にフォトレジスト膜4を塗布し、100℃で60秒間プリベークを行う。この時、フォトレジスト膜4の膜厚が585nmとなるように塗布時の回転数を調節した。

【0089】

次に、図29に示すように、第1の加工領域であるメモリセル形成領域A1の配線パターン（L（ライン幅）／S（スペース幅）=0.16μm／0.22μm）のみが描かれたレティクル（フォトマスク）5aを介してK r Fエキシマレ

ーザー（波長は248nm）を光源とするステッパーを用いて露光を行った。照明条件はNA=0.55で、2/3輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0090】

続いて、図30に示すように、110°Cで60秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、ライン幅0.13μmのレジストパターン4bを得る。

【0091】

なお、フォトレジスト膜4を塗布する前に実施の形態2、実施の形態3のように、金属膜10上に反射防止膜として無機BARC膜（シリコン窒化酸化膜8）あるいは有機BARC膜を形成しても良い。

【0092】

次に、図31に示すように、アルゴンをイオン種として、50keV、 $1 \times 10^{16}/\text{cm}^2$ の条件で、レジストパターン4bに対してイオン7の注入を行った。

【0093】

レジストパターン4bにイオン注入を行うと、特開平4-127518にも示されているようにパターン収縮する現象があり、ライン幅0.13μmのレジストパターンは0.10μmまで縮小した。同一の照明条件およびレジストプロセス条件では0.10μmのラインパターンを得るには、露光裕度や、フォーカス裕度などのプロセス裕度が狭く、幅が薄いためレジストパターンの倒れの問題も生じるため非常に困難である。そこで、このようにレジストパターンにイオン注入を行いパターン収縮を利用することにより、通常のパターン形成方法での限界を超える細線のパターンを得ることができる。

【0094】

また、レジストパターン4bはイオン注入によって、イオン注入前と異なる組成に変更する。

【0095】

しかし、図29示す露光工程で、もし第2の加工領域である周辺回路領域A2用のレジストパターンも同時に形成すると、イオン注入時に周辺回路のパターンのスペース部分は逆に拡がるため望ましくない。これを所望の寸法通りのパターンを得ようすると、図29で示す露光工程のレジストパターン4b形成時に、予め細いスペースの周辺回路用のレジストパターンを形成しなければならず、非常に困難である。

【0096】

そこで、図31の工程を経てレジストパターン4bを得た後、図32に示すように、メモリセル形成領域A1及び周辺回路領域A2を含む、金属膜10上の全面にフォトレジスト膜14を塗布形成する。すなわち、メモリセル形成領域A1のレジストパターン4b上に再びフォトレジスト膜14が形成される。この時、塗布条件は一層目のフォトレジスト膜4の形成時と同じである。

【0097】

次に、図33に示すように、メモリセル形成領域A1を除く周辺回路領域A2に対応して描かれたレティクル（フォトマスク）5bを介してKrFエキシマレーザー（波長は248nm）6を光源とするステッパーを用いて露光を行う。照明条件はNA=0.55で2/3輪帯照明アーチャーを用いたオフアクシス法を適用した。

【0098】

続いて、図34に示すように、110°Cで60秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、ライン幅0.50μm、スペース幅0.2μmのレジストパターン14bを得る。

【0099】

なお、レジストパターン4bはイオン注入によってフォトレジスト膜14とは全く異なる組成成分に変換されているため、図33で示す工程による露光の影響を受けず、図34で示す工程による現像によって除去されることはなく、正確に再現される。

【0100】

そして、図35に示すように、レジストパターン4b及びレジストパターン14cをマスクとして、金属膜10に対するエッチングを行い、所望の配線パターン（金属パターン10a）を得る。

【0101】

実施の形態4の方法により、一定のピッチのパターンが描かれているメモリセル形成領域A1のメモリセルパターン上はマスクサイズより細いライン幅の密なレジストパターン4aを形成するとともに、周辺回路領域A2に比較的疎なレジストパターン14bを重ねて精度劣化無く形成することができ、粗密差の異なる配線パターンを精度よく形成することができる。

【0102】

<<実施の形態5>>

図36～図40及び図42はこの発明の実施の形態5である配線パターン形成方法を示す断面図である。また、図41はDRAMのキャパシタ形成工程のパターンが描かれたレティクルを示す説明図である。実施の形態5ではDRAMのキャパシタ形成を行うことを前提としている。以下、これらの図を参照して実施の形態5の処理手順を説明する。

【0103】

まず、図36に示すように、シリコン基板1上にポリシリコン層2を50nmの膜厚で、続いてシリコン酸化膜13を1500nmの膜厚で形成した後、シリコン酸化膜13上にフォトレジスト膜4を塗布して、100°Cで60秒間プリベークを行った。この時、フォトレジスト膜4の膜厚が880nmとなるように塗布時の回転数を調節した。

【0104】

次に、図37に示すように、DRAMのキャパシタ形成工程のパターンが描かれたレティクル（フォトマスク）5mを（図41参照）介してKrFエキシマレーザー（波長は248nm）6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.55で、2/3輪帯照明アーチャーを用いたオフアクシス法を適用した。

【0105】

続いて、図38に示すように、110°Cで90秒間ペーク(PEB)を行った後、テトラメチルアンモニウムヒドロキシド(TMAH)の2.38重量%水溶液を用いて60秒間の現像を行うことによって、レティクルに応じたキャパシタ用レジストパターン4mを得る。

【0106】

次に、図39に示すように、アルゴンをイオン種として、50keV、 $1 \times 10^{16}/\text{cm}^2$ の条件でイオン7の注入をレジストパターン4mに対して行った。

この際、図42に示すように、ウエハ(レジストパターン4m形成面)の垂線Vから $15\sim20^\circ$ 傾斜させた方向からイオン注入を行う。この方法により、図42に示すように、イオン7の大部分がレジストパターン4mの表面及び側面によって遮断されるため、下地基板であるシリコン酸化膜13にイオンが直接注入されることを抑制することができる。イオン7の注入における最適な傾斜角角度はレジストパターン4mのライン幅とピッチ(ライン幅+スペース幅)、およびレジストパターン4mの膜厚によって異なるので、場合によって適宜調整が必要である。

【0107】

現像後に得られたレジストパターン4mは、イオン注入を行うことによりパターン収縮が起こり、レジストの残し部分のライン幅は $0.17\mu\text{m}$ から $0.11\mu\text{m}$ まで減少した。

【0108】

そして、図40に示すように、レジストパターン4mをマスクとして、シリコン酸化膜13及びポリシリコン層2に対するエッチング処理を行うことにより、配線パターン(酸化膜パターン13a及びポリシリコンパターン2a)を得る。

【0109】

DRAMのキャパシタ形成工程では大きな容量を得るために大きな開口パターンを形成することが望ましく、この方法を適用することにより、ライン幅収縮に伴うスペース幅の拡大が比較的容易に行えるため有効である。

【0110】

DRAMのセルフアラインコンタクトホール形成工程においても大きな開口バ

ターンを形成する目的で、この方法を適用することにより同様の効果を得ることができる。

【0111】

<<実施の形態6>>

アルミニウムやタンクスチールの表面はグレインによる凹凸が激しく、レジストパターンの形成時に影響を与えることが少なくない。

【0112】

特にアルミニウムをスパッタリング法で形成する場合、下層との接続のために形成されたコンタクトホール中への埋め込み特性が要求されるが、コンタクトホールサイズが小さくなるにともない埋め込み特性が低下する。そこで、埋め込み特性を向上させる方法としてアルミニウムをスパッタリング後、加熱によりリフローさせる方法や、基板を加熱しながらスパッタリングする方法があるが、いずれもグレインのサイズが通常のスパッタリング法で形成したアルミニウム膜よりも大きくなる。そのため、このようなアルミ層からなる下地基板上にレジストパターンの形成を行うと、グレインからの反射光による影響を受けてレジストパターン形状の劣化が生じ、レジストパターンの寸法均一性の低下が起こる。

【0113】

図43～図45は種々のアルミニウム表面のグレインの様子を模式的に示した説明図である。図43に通常のスパッタリング法で形成したアルミニウム膜、図44に加熱しながらスパッタリングして形成したアルミニウム膜の表面形状を模式的に示した説明図である。そこで、レジスト塗布前に下地基板に対しアルゴンをイオン種として、 50 keV 、 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン7の注入を行うと、図45に示すように、基板表面のグレインによる凹凸形状が緩和される。この凹凸形状の緩和を図ったのが実施の形態6の配線パターン形成方法である。

【0114】

図46はこの発明の実施の形態6である配線パターン形成方法の特徴部を示す断面図である。

【0115】

同図に示すように、シリコン基板1、シリコン酸化膜15及びアルミ層16の積層構造からなる下地基板に対し、アルゴンをイオン種として、50 keV、 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入を行う。その後、実施の形態1で示した図1～図4に示すような通常のフローで配線パターンを形成する。

【0116】

実施の形態6の配線パターン形成方法では、表面にグレインを有するアルミ層16に予めイオン注入するため、レジストパターン形成時にアルミ層16のグレインからの反射光の影響によるレジストパターンの形状劣化を抑制することができ、レジストパターンの寸法精度を向上させる効果を得ることができる。

【0117】

<<実施の形態7>>

前述したように、タングステンやアルミニウムの表面はグレインによる凹凸形状が激しいため、このような下地基板上にレジストパターンの形成を行う際、露光段階の重ね合わせ精度やパターン形成後の重ね合わせ検査の計測精度においても劣化が生じる。例えば、図43～図45に示す重ね合わせ検査マーク（中央の2つの四角部分）で測定した場合、通常のアルミニウム膜（図43参照）では計測精度（3σ）は約20 nmであるが、加熱しながらスパッタリングして得られたアルミニウム膜（図44）では計測精度（3σ）は約100 nmまで劣化した。

【0118】

そこで、レジスト塗布前に下地基板に対しアルゴンをイオン種として、50 keV、 $1 \times 10^{16} / \text{cm}^2$ の条件でイオン注入を行うと、図45に示すように、基板表面のグレインによる凹凸が緩和されるため、重ね合わせ精度の劣化を抑制することができ、計測精度（3σ）は約50 nmまで改善することができる。

【0119】

図47はこの発明の実施の形態7である配線パターンの形成方法の特徴部を示す断面図である。

【0120】

同図に示すように、シリコン基板1、シリコン酸化膜15及びアルミ層16の

積層構造からなる下地基板に対し、アルミ層16の検査マーク（図示せず）を含むマーク形成領域19上にのみ開口部18を有するレジストパターン17を写真製版等を用いて形成し、レジストパターン17をマスクとしてアルミ層16のマーク形成領域19上にのみイオン7を注入する。その後、実施の形態1で示した図1～図4に示すような通常のフローで配線パターンを形成する。

【0121】

このように、実施の形態7では、下地基板がタンクステンやアルミニウムの場合、タンクステンやアルミニウム膜の加工を終えた後、この膜上に形成した重ね合わせおよび重ね合わせ検査用のマークが形成されるマーク形成領域19上のみ開口部18を有するレジストパターン17を介してイオン注入を施している。

【0122】

その結果、マーク部のグレインを低減することによって、次工程の写真製版時の重ね合わせ精度の劣化を防ぐ方法として有効である。さらにマーク形成領域以外はイオン注入によって悪影響を受けないようにレジストパターン17で確実に保護される。

【0123】

<<実施の形態8>>

<前提>

図57～図61はこの発明の実施の形態8の前提となる配線パターン形成方法の一つであるゲートパターン形成工程を示す断面図である。以下、これらの図を参照して、その処理手順を説明する。

【0124】

まず、図57に示すように、シリコン基板1上にシリコン酸化膜12を15nm(150Å)の膜厚で、続いてポリシリコン層2を100nm(1000Å)の膜厚で、さらにシリコン酸化膜21を50nm(500Å)の膜厚で、続いてシリコン窒化酸化膜8を48nm(480Å)の膜厚で形成した後、シリコン窒化酸化膜8上にフォトレジスト膜4を塗布し、100°Cで90秒間プリベークを行った。この際、フォトレジスト膜4の膜厚が585nm(5850Å)となるように塗布時の回転数を調節する。

【0125】

次に、図58に示すように、配線パターンが描かれたレティクル5を介してK_rFエキシマレーザー6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.65で、2/3輪帶照明アーチャーを用いたオファクシス法を適用した。

【0126】

続いて、110°Cで90秒間ベーク(PEB)を行った後、テトラメチルアンモニウムヒドロキシド(TMAH)の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図59に示すようにレティクルに応じたレジストパターン4aを得る。

【0127】

そして、図60に示すように、レジストパターン4aに対し、イオン7の注入を行った。ここでは、イオン種としてアルゴンを用い、50keV(注入エネルギー)で $1 \times 10^{16}/\text{cm}^2$ (ドーズ量)でイオン注入を行う。このイオン注入によって、前述したように、レジストパターン4aの膜厚は収縮するとともに、シリコン酸化膜21及びシリコン窒化酸化膜8用のエッチング処理に対するエッチング耐性が向上する。

【0128】

次に、図61に示すように、レジストパターン4aをマスクとして、シリコン窒化酸化膜8とシリコン酸化膜21とに対するエッチング処理を行い、次に、レジストパターン4aを剥離した後、パターニングされたシリコン窒化酸化膜8及びシリコン酸化膜21をマスクとして、ポリシリコン層2に対するエッチングを行い、所望の配線パターン(ポリシリコンパターン2a)を得る。なお、レジストパターン4aをマスクとしてシリコン窒化酸化膜8、シリコン酸化膜21及びポリシリコン層2に対するエッチング処理を一括して行っても良い。

【0129】

この際、レジストパターン4aはイオン注入によって、シリコン酸化膜21及びシリコン窒化酸化膜8用のエッチング処理に対するエッチング耐性が向上しているため、レジストパターン4aの膜厚が図60で示す工程で収縮してもエッチ

ングのマスクとして支障無く機能する。

【0130】

しかしながら、レジストパターン4aにイオン注入を行うと、レジストパターン4aの表面から硬化層の形成が進むため、その後のシリコン窒化酸化膜8及びシリコン酸化膜21に対するドライエッチング処理中レジストパターン4aの内部から発生するガスがレジストパターン4a内に閉じこめられ、かかる後、レジストパターン4aの破裂が起こる危険性があるという問題点があった。このため、ドライエッチングの仕様を満たすプロセス条件の許容範囲であるプロセスウィンドウに制限が生じてしまう。

【0131】

一般にポジ型のフォトレジスト膜では光照射部分で化学反応が起こり、反応生成物が放出される。g線、i線用として広く用いられるノボラックーキノンジアジド系レジストでは窒素が、KrF用に用いられる化学增幅型レジストでは保護基の構造に応じて二酸化炭素やブテン、エタノールのような化合物が主生成物として発生し、その他にも残存溶剤やポリマーの分解物が発生することによってガス発生現象が起こるものと考えられる。

【0132】

上述したイオン注入されたフォトレジスト膜のガス発生による破裂問題の解決を図るのが以下で述べる実施の形態8～実施の形態12である。

【0133】

<方法>

図62～図67はこの発明の実施の形態8である配線パターン形成方法の一つであるゲートパターン形成工程を示す断面図である。以下、これらの図を参照して、実施の形態8の処理手順を説明する。

【0134】

まず、図62に示すように、シリコン基板1上にシリコン酸化膜12を15nmの膜厚で、続いてポリシリコン層2を100nmの膜厚で、次にシリコン酸化膜21を50nmの膜厚で、さらにシリコン窒化酸化膜8を48nmの膜厚で形成した後、シリコン窒化酸化膜8上にフォトレジスト膜4を塗布し、100°Cで

90秒間ブリーフを行った。この際、フォトレジスト膜4の膜厚が585nmとなるように塗布時の回転数を調節する。

【0135】

次に、図63に示すように、配線パターンが描かれたレティクル5を介してKrFエキシマレーザー6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.65で、2/3輪帯照明アーチャーを用いたオフアクシス法を適用した。

【0136】

続いて、110°Cで90秒間ベーク(PEB)を行った後、テトラメチルアンモニウムヒドロキシド(TMAH)の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図64に示すようにレティクルに応じたレジストパターン4aを得る。

【0137】

次に、図65に示すように、レジストパターン4aに対し、KrFエキシマレーザー19を光源とするステッパーを用いて露光を行い、その後、熱源20を用いて100°Cで90秒間ベークを行い、レジストパターン4cを得た。なお、KrFエキシマレーザー19の波長は248nmである。

【0138】

図65で示した露光処理及び熱処理によって、レジストパターン4aから化学反応の一つである分解反応が進んだレジストパターン4cに変化させることができる。

【0139】

そして、図66に示すように、レジストパターン4cに対し、イオン7の注入を行い、レジストパターン4dを得た。ここでは、イオン種としてアルゴンを行い、50keVで $1 \times 10^{16}/\text{cm}^2$ でイオン注入を行う。このイオン注入によって、前述したように、レジストパターン4dの膜厚はレジストパターン4cから収縮するとともに、シリコン酸化膜21及びシリコン窒化酸化膜8用のエッチング処理に対するエッチング耐性が向上する。例えば、図66で示すイオン注入前のレジストパターン14cが0.14μmのライン幅であったものが、イオン

注入後のレジストパターン4dでは0.10μmまで縮小される。

【0140】

次に、図67に示すように、レジストパターン4dをマスクとして、シリコン塗化酸化膜8とシリコン酸化膜21に対するエッティング処理を行い、次に、レジストパターン4dを剥離した後、パターニングされたシリコン塗化酸化膜8及びシリコン酸化膜21をマスクとして、ポリシリコン層2に対するエッティングを行い、所望の配線パターン（ポリシリコンパターン2a）を得る。なお、レジストパターン4dをマスクとして、シリコン塗化酸化膜8、シリコン酸化膜21及びポリシリコン層2に対するエッティング処理を行うようにしても良い。

【0141】

この際、レジストパターン4dはイオン注入によって、シリコン酸化膜21及びシリコン塗化酸化膜8用のエッティング処理に対するエッティング耐性がレジストパターン4cよりも向上しているため、レジストパターン4dの膜厚が図66で示す工程で収縮してもエッティングのマスクとして支障無く機能する。

【0142】

さらに、図65で示した露光処理及び熱処理（化学反応促進処理）によってレジストパターン4d（4c）は分解反応が進んだ状態であるため、シリコン塗化酸化膜8及びシリコン酸化膜21に対するエッティング処理時にはレジストパターン4d内にガスが発生することなく、レジストパターン4dに破裂等の問題が生じることもない。

【0143】

本実施の形態では、配線パターン形成方法として、ポリシリコン層2を用いたゲートパターン形成工程を示した、ビット線形成工程、メタル配線工程、ホール工程等、他の工程にも勿論本発明を適用することができる。

【0144】

<<実施の形態9>>

図68～図73はこの発明の実施の形態9であるキャパシタパターン形成工程を示す断面図である。また、図74はDRAMのキャパシタ形成工程のパターンが描かれたレティクルを示す説明図である。実施の形態9ではDRAMのキャパ

シタ形成を行うことを前提としている。以下、これらの図を参照して実施の形態9の処理手順を説明する。

【0145】

まず、図68に示すように、シリコン基板1上にシリコン窒化膜22を50nmの膜厚で、続いてシリコン酸化膜23を1500nmの膜厚で形成した後、シリコン酸化膜23上にフォトレジスト膜4を塗布し、100°Cで60秒間プリベークを行った。この時、フォトレジスト膜4の膜厚が880nmとなるように塗布時の回転数を調節した。

【0146】

次に、図69に示すように、DRAMのキャパシタ形成工程のパターンが描かれたレティクル（フォトマスク）26（図74参照）を介してKrFエキシマレーザー（波長は248nm）6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.65で、2/3輪帶照明アーチャーを用いたオフアクシス法を適用した。

【0147】

続いて、図70に示すように、110°Cで90秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、レティクルに応じたキャパシタ用レジストパターン25aを得る。

【0148】

そして、図71に示すように、レジストパターン25aに対し、KrFエキシマレーザー19を光源とするステッパーを用いて露光を行い、その後、熱源20を用いて100°Cで90秒間ベークを行い、レジストパターン25cを得た。

【0149】

図71で示した露光処理及び熱処理によって、レジストパターン25aから、分解反応が進んだレジストパターン25cに変化させることができる。

【0150】

次に、図72に示すように、アルゴンをイオン種として、50keV、 $1 \times 10^{16} / cm^2$ の条件でイオン7の注入をレジストパターン25cに対して行い、

レジストパターン25dを得た。

【0151】

レジストパターン25dは、イオン注入を行うことによりパターン収縮が起こり、レジストの残し部分のライン幅はレジストパターン25cの0.17μmから0.11μmまで減少した。

【0152】

そして、図73に示すように、レジストパターン25dをマスクとして、シリコン酸化膜23及びシリコン酸化窒化膜24に対するエッティング処理を行うことにより、誘電体となるキャパシタパターン（シリコン酸化膜パターン23a及びシリコン酸化窒化膜パターン24a）を得る。

【0153】

この際、レジストパターン25dはイオン注入によって、シリコン酸化膜23及びシリコン酸化窒化膜24用のエッティング処理に対するエッティング耐性がレジストパターン25cから向上しているため、レジストパターン25dの膜厚が図72で示す工程でレジストパターン25cから収縮してもエッティングのマスクとして支障無く機能する。

【0154】

さらに、図71で示した露光処理及び熱処理によってレジストパターン25d(25c)の分解反応が進んでいるため、上述したようにガス発生問題を効果的に抑制することができ、レジストパターン25dに破裂等の問題が生じることもない。

【0155】

DRAMのキャパシタ形成工程では大きな容量を得るために、すなわち、表面積の広いポリシリコン等によりなる電極を形成するために、大きな開口パターンを形成することが望ましく、この方法を適用することにより、ライン幅収縮に伴うスペース幅の拡大が比較的容易に行えるため有効である。

【0156】

本実施の形態でキャパシタパターン形成工程を述べたが、DRAMのセルファーラインコンタクトホール形成工程やスタックビアホール形成工程においても大き

な開口パターンを形成する目的で、実施の形態9の方法を適用することにより同様の効果を得ることができる。

【0157】

<<実施の形態10>>

<課題>

図28～図35で示した実施の形態4の配線パターン形成方法では、1層目のフォトレジスト膜であるフォトレジスト膜4と2層目のフォトレジスト膜であるフォトレジスト膜14とからなるフォトレジストの2層塗布によって配線パターンを形成している。

【0158】

この場合にも、フォトレジスト膜4のレジストパターン4b上に形成したフォトレジスト膜14のレジストパターン14b形成時に1層目のフォトレジスト膜の破裂が起こる危険性があるという問題点があった。

【0159】

すなわち、レジストパターン4bにイオン注入した後、その上に形成したフォトレジスト膜14の露光、ベーク処理の際に、イオン注入によって硬化したレジストパターン4bの内部から発生するガスのためにレジストパターン4bの破裂が起こるという問題点があった。このような現象は、レジストパターン4bにおいて、特に大面積のパターンの場合に起こりやすい。実施の形態10は上記問題の解決を図った方法である。

【0160】

<方法>

図75～図83はこの発明の実施の形態10である配線パターン形成方法を示す断面図である。実施の形態10では、トランジスタ部分が0.1μm以下の細いラインパターン、上層あるいは下層との接続のためのコンタクトホールを設けるためのカバーを形成するゲート工程を示している。以下、これらの図を参照して、実施の形態10の処理手順を説明する。

【0161】

デバイスの高速動作のためにはより細いライン幅のトランジスタ形成が要求さ

れ、一方、コンタクトホールのカバーは接触面積を確保するためにより大きく形成する必要がある。さらに、デバイスを高集積化するためにはカバー間のスペースはできるだけ詰めることが重要である。

【0162】

実施の形態8及び実施の形態9に示したように、イオン注入によるパターン収縮を利用することによりトランジスタ部分の細いラインパターンを形成することは可能になるが、コンタクトカバー部分を縮小することは上述した理由で望ましくない。そこで、実施の形態4と同様に、2層のフォトレジスト膜を用いた2回の写真製版に分けて行う方法が効果的である。

【0163】

まず、図75に示すように、シリコン基板1上に膜厚が15nm(150Å)のシリコン酸化膜12、膜厚が100nm(1000Å)のポリシリコン層2を形成した後、ポリシリコン層2上に膜厚が50nm(500Å)のシリコン酸化膜21、膜厚が48nm(480Å)のシリコン窒化酸化膜8を形成した後、フォトレジスト膜27を塗布し、100°Cで90秒間プリベークを行う。この時、フォトレジスト膜27の膜厚が585nmとなるように塗布時の回転数を調節した。

【0164】

次に、図76に示すように、第1の加工領域であるトランジスタ形成領域の配線パターンのみが描かれたレティクル(フォトマスク)5aを介してKrFエキシマレーザー(波長は248nm)6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.65で、2/3輪帯照明アパーチャーを用いたオフアクシス法を適用した。

【0165】

続いて、図77に示すように、110°Cで90秒間ベーク(PEB)を行った後、テトラメチルアンモニウムヒドロキシド(TMAH)の2.38重量%水溶液を用いて60秒間の現像を行うことによって、比較的密なライン幅0.14μmのレジストパターン27aを得る。

【0166】

そして、図78に示すように、レジストパターン27aに対し、KrFエキシマレーザー19を光源とするステッパーを用いて露光を行い、その後、熱源20を用いて110°Cで90秒間ベークを行い、レジストパターン27cを得た。なお、KrFエキシマレーザー19の波長は248nmである。

【0167】

図78で示した露光処理及び熱処理によって、レジストパターン27aに比べレジストパターン27cの分解反応を進めることができる。

【0168】

次に、図79に示すように、アルゴンをイオン種として、50keV、 $1 \times 10^{16}/\text{cm}^2$ の条件で、レジストパターン27cに対してイオン7の注入を行ってレジストパターン27dを得る。このイオン注入によって、前述したように、レジストパターン27dの膜厚はレジストパターン27cから収縮するとともに、シリコン酸化膜21及びシリコン窒化酸化膜8用のエッチング処理に対するエッチング耐性が向上する。

【0169】

そして、図80に示すように、レジストパターン27dを含む全面にフォトレジスト膜29を塗布形成する。この時、塗布条件は一層目のフォトレジスト膜27の形成時と同じである。

【0170】

次に、図81に示すように、トランジスタ形成領域を除く第2の加工領域であるコンタクトホール形成領域に対応して描かれたレティクル（フォトマスク）5bを介してKrFエキシマレーザー（波長は248nm）6を光源とするステッパーを用いて露光を行う。照明条件はNA=0.65で2/3輪帯照明アパチヤーを用いたオフアクシス法を適用した。

【0171】

続いて、図82に示すように、110°Cで90秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、比較的疎なレジストパターン29aを得る。

【0172】

この際、図78で示した露光処理及び熱処理によってレジストパターン27d(27c)の分解反応が進んでいるため、上述したようにガス発生問題を効果的に抑制することができ、レジストパターン27dに破裂等の問題が生じることはない。

【0173】

そして、図83に示すように、レジストパターン27d及びレジストパターン29aをマスクとして、シリコン窒化酸化膜8とシリコン酸化膜21とに対するエッティング処理を行い、次に、レジストパターン27d及びレジストパターン29aを剥離した後、パターニングされたシリコン窒化酸化膜8及びシリコン酸化膜21をマスクとして、ポリシリコン層2に対するエッティングを行い、所望の配線パターン(ポリシリコンパターン2a)を得る。なお、レジストパターン27d及びレジストパターン29aをマスクとして、シリコン窒化酸化膜8、シリコン酸化膜21及びポリシリコン層2に対するエッティング処理を一括して行っても良い。

【0174】

この際、レジストパターン27dはイオン注入によって、シリコン窒化酸化膜8及びシリコン酸化膜21用のエッティング処理に対するエッティング耐性がレジストパターン27cから向上しているため、レジストパターン27dの膜厚が図79で示す工程でレジストパターン25cから収縮してもエッティングのマスクとして支障無く機能する。

【0175】

実施の形態10の方法により、トランジスタ形成領域にはマスクサイズより細いライン幅の密なレジストパターン27dを形成するとともに、トランジスタ形成領域以外には比較的疎なレジストパターン29aを重ねて精度劣化無く形成することができ、粗密差の異なる配線パターンを精度よく形成することができる。

【0176】

本実施の形態では、配線パターン形成方法として、ポリシリコン層2を用いたゲートパターン形成工程を示したが、ピット線形成工程、メタル配線工程、ホー

ル工程等、他の工程にも勿論本発明を適用することができる。

【0177】

<<実施の形態11>>

<課題>

実施の形態11は実施の形態10同様に同時形成が困難なパターン2度の写真製版に分けて行う際、さらに高いエッティング耐性を必要とする場合の配線パターン形成方法である。

【0178】

実施の形態11の配線パターン形成方法は、実施の形態10以上に微細なパターンを得るべくArFレジストを用いることを前提としている。ArFレジストはKrFレジストに比べドライエッティング耐性が劣る上、レジスト膜厚を薄くすることが望まれる。そこで、2層目のフォトレジスト膜についてもイオン注入を行いエッティング耐性の向上を図ったのが実施の形態12の方法である。

【0179】

<方法>

図84～図94はこの発明の実施の形態11である配線パターン形成方法を示す断面図である。実施の形態11では、トランジスタ部分が0.1μm以下の細いラインパターン、上層あるいは下層との接続のためのコンタクトホールに対するカバーを形成するゲート工程を示している。以下、これらの図を参照して、実施の形態11の処理手順を説明する。

【0180】

まず、図84に示すように、シリコン基板1上に膜厚が15nmのシリコン酸化膜12、膜厚が100nmのポリシリコン層2を形成した後、ポリシリコン層2上に膜厚が50nmのシリコン酸化膜21、膜厚が48nmのシリコン窒化酸化膜8を形成した後、フォトレジスト膜31を塗布し、100°Cで90秒間プリペークを行う。この時、フォトレジスト膜31の膜厚が400nm(4000Å)となるように塗布時の回転数を調節した。

【0181】

次に、図85に示すように、トランジスタ形成領域の配線パターンのみが描か

れたレティクル（フォトマスク）5 aを介してArFエキシマレーザー（波長は193 nm）28を光源とするステッパーを用いて露光を行った。照明条件はNA=0.60で、2/3輪帶照明アーチャーを用いたオフアクシス法を適用した。

【0182】

続いて、図86に示すように、110°Cで90秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、ライン幅0.12 μmのレジストパターン31aを得る。

【0183】

そして、図87に示すように、レジストパターン31aに対し、ArFエキシマレーザー30を光源とするステッパーを用いて露光を行い、その後、熱源20を用いて110°Cで90秒間ベークを行い、レジストパターン31cを得た。なお、ArFエキシマレーザー30の波長は193 nmである。

【0184】

図87で示した露光処理及び熱処理によって、レジストパターン31aに比べレジストパターン31cの分解反応を進めることができる。

【0185】

次に、図88に示すように、アルゴンをイオン種として、50 keV、 $1 \times 10^{16} / \text{cm}^2$ の条件で、レジストパターン31cに対してイオン7の注入を行ってレジストパターン31dを得る。

【0186】

このイオン注入によって、前述したように、レジストパターン31dの膜厚はレジストパターン31cから収縮するとともに、シリコン酸化膜21及びシリコン窒化酸化膜8用のエッチング処理に対するエッチング耐性が向上する。さらに、イオン注入後得られたレジストパターン31dは、レジストパターン31cのライン幅0.12 μmから、ライン幅0.08 μmまで縮小される。

【0187】

そこで、図89に示すように、レジストパターン31dを含む全面にフォトレ

ジスト膜34を塗布形成する。この時、塗布条件は一層目のフォトレジスト膜27の形成時と同じである。

【0188】

次に、図90に示すように、トランジスタ形成領域を除くコンタクトホール形成領域に対応して描かれたレティクル（フォトマスク）5bを介してArFエキシマレーザー（波長は248nm）28を光源とするステッパーを用いて露光を行う。照明条件はNA=0.60で2/3輪帯照明アーチャーを用いたオフアクシス法を適用した。

【0189】

続いて、図91に示すように、110°Cで90秒間ベーク（PEB）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、レジストパターン34aを得る。

【0190】

この際、図87で示した露光処理及び熱処理によってレジストパターン31d（27c）の分解反応が進んでいるため、上述したようにガス発生問題を効果的に抑制することができ、レジストパターン31dに破裂等の問題が生じることはない。

【0191】

次に、図92に示すように、レジストパターン31d及びレジストパターン34aに対し、ArFエキシマレーザー（波長は193nm）30を光源とするステッパーを用いて露光を行い、その後、100°Cで90秒間ベークを行い、レジストパターン31e及びレジストパターン34cを得た。

【0192】

そして、図93に示すように、レジストパターン31e及びレジストパターン34cに対しイオン7の注入を行いレジストパターン31f及びレジストパターン34dを得た。ここでは、アルゴンをイオン種として、注入エネルギー50keV、 $1 \times 10^{15}/\text{cm}^2$ の条件でイオン7の注入を行った。

【0193】

なお、図93で示すイオン注入工程におけるイオン注入量を図88で示すイオン注入工程におけるイオン注入量より減らすことにより、レジストパターン31f及びレジストパターン34dのレジストパターン31e及びレジストパターン34cに対する収縮量を最小限に抑制することができる。

【0194】

図93で示すイオン注入工程によって、レジストパターン31f（トランジスタ形成領域のパターン）及びレジストパターン34d（トランジスタ形成領域以外のパターン）のエッチング耐性をレジストパターン31e及びレジストパターン34cより高めることができる。

【0195】

そして、図94に示すように、比較的密なレジストパターン31f及び比較的疎なレジストパターン34dをマスクとして、シリコン窒化酸化膜8とシリコン酸化膜21とに対するエッチング処理を行い、次に、レジストパターン31f及びレジストパターン34dを剥離した後、パターニングされたシリコン窒化酸化膜8及びシリコン酸化膜21をマスクとして、ポリシリコン層2に対するエッチングを行い、所望の配線パターン（ポリシリコンパターン2a）を得る。なお、レジストパターン31f及びレジストパターン34dをマスクとして、シリコン窒化酸化膜8、シリコン酸化膜21及びポリシリコン層2に対するエッチング処理を一括して行ってもよい。

【0196】

この際、レジストパターン31f及びレジストパターン34dはイオン注入によって、シリコン窒化酸化膜8及びシリコン酸化膜21用のエッチング処理に対するエッチング耐性がレジストパターン31cから向上しているため、レジストパターン31fの膜厚が図88及び図93で示すイオン注入工程で収縮し、レジストパターン34dの膜厚が図93で示すイオン注入工程で収縮してもエッチングのマスクとして支障無く機能する。

【0197】

さらに、図82で示した露光処理及び熱処理によってレジストパターン31f（31e）及びレジストパターン34d（34c）の分解反応が進んでいるため

、上述したようにガス発生問題を効果的に抑制することができ、レジストパターン31f及びレジストパターン34dに破裂等の問題が生じることはない。

【0198】

実施の形態11の方法により、トランジスタ形成領域にはマスクサイズより細いライン幅の密なレジストパターン31fを形成するとともに、トランジスタ形成領域以外には比較的疎なレジストパターン34dを重ねて精度劣化無く形成することができ、粗密差の異なる配線パターンを精度よく形成することができる。

【0199】

本実施の形態では、配線パターン形成方法として、ポリシリコン層2を用いたゲートパターン形成工程を示したが、ビット線形成工程、メタル配線工程、ホール工程等、他の工程にも勿論本発明を適用することができる。

【0200】

<<実施の形態12>>

図95～図99はこの発明の実施の形態12である配線パターン形成方法の一つであるゲートパターン形成工程を示す断面図である。以下、これらの図を参照して、その処理手順を説明する。

【0201】

まず、図95に示すように、シリコン基板1上にシリコン酸化膜12を15nmの膜厚で、続いてポリシリコン層2を100nmの膜厚で、さらにシリコン酸化膜21を50nmの膜厚で、続いてシリコン窒化酸化膜8を48nmの膜厚で形成した後、シリコン窒化酸化膜8上にフォトレジスト膜4を塗布し、100℃で90秒間プリベークを行った。この際、フォトレジスト膜4の膜厚が585nmとなるように塗布時の回転数を調節する。

【0202】

次に、図96に示すように、配線パターンが描かれたレティクル5を介してKrFエキシマレーザー6を光源とするステッパーを用いて露光を行った。照明条件はNA=0.65で、2/3輪帶照明アーチャーを用いたオフアクシス法を適用した。

【0203】

続いて、110°Cで90秒間ベーク（P E B）を行った後、テトラメチルアンモニウムヒドロキシド（TMAH）の2.38重量%水溶液を用いて60秒間の現像を行うことによって、図97に示すようにレティクルに応じたレジストパターン4aを得る。

【0204】

そして、図98に示すように、レジストパターン4aに対し、イオン7の注入を3ステップに分けて、イオン7a, 7b及び7cの順で行った。ここでは、イオン種としてボロンを用い、イオン7aは150keV（注入エネルギー）で $4 \times 10^{15} / \text{cm}^2$ （ドーザ量）でイオン注入され、イオン7bは90keVで $3 \times 10^{15} / \text{cm}^2$ でイオン注入され、イオン7cは40keVで $3 \times 10^{15} / \text{cm}^2$ でイオン注入される。これらイオン7a～7cの3ステップの部分イオン注入によって、レジストパターン4aの膜厚は収縮するとともに、シリコン酸化膜21及びシリコン窒化酸化膜8用のエッチング処理に対するエッティング耐性が向上する。

【0205】

図100はイオンの注入エネルギー（keV）と平均飛程距離R_p（Å）との関係を示すグラフである。同図において、白丸はボロン、黒丸はリン、白三角はヒ素、黒三角はアンチモンを意味している。注入イオンはレジスト中の原子との衝突により散乱され複雑な奇跡を描きながら、図100で示した平均飛程距離R_pを中心として分布する。

【0206】

したがって、イオン7aの注入（第1の部分イオン注入）によりレジストパターン4aの下層部、イオン7bの注入（第2の部分イオン注入）によりレジストパターン4aの中層部、イオン7cの注入（第3の部分イオン注入）によりレジストパターン4aの上層部にそれぞれボロンの平均飛程距離R_pが設定されたため、レジストパターン4aの上部から底部にかけてボロンイオンが注入されることにより、レジストパターン4aの硬化が上部から底部にかけてほぼ均一に行われる。

【0207】

次に、図99に示すように、レジストパターン4aをマスクとして、シリコン窒化酸化膜8とシリコン酸化膜21に対するエッティング処理を行い、次に、レジストパターン4aを剥離した後、パターニングされたシリコン窒化酸化膜8及びシリコン酸化膜21をマスクとして、ポリシリコン層2に対するエッティングを行い、所望の配線パターン（ポリシリコンパターン2a）を得る。なお、レジストパターン4aをマスクとして、シリコン窒化酸化膜8、シリコン酸化膜21及びポリシリコン層2に対するエッティング処理を一括して行っても良い。

【0208】

この際、レジストパターン4aの膜厚方向である上部から底部にかけてほぼ均一に硬化されているため、レジストパターン4aが破裂が起こりやすい大面積のパターンであっても、レジストパターン4aが破裂することなく正常なエッティング処理が行える。

【0209】

<<その他>>

なお、上記の実施の形態では注入イオン種としてアルゴン（Ar）あるいはボロン（B）を使用しているが、ヘリウム（He）、ネオン（Ne）、窒素（N₂）、一酸化炭素（CO）、リン（P）、ヒ素（As）、アンチモン（Sb）、フッ化ボロン（BF）など他のイオン種でも同様の効果を得ることができる。

【0210】

さらには、キュアリング処理を行うイオン注入に代えて電子線照射、波長λ=250～450nm付近のDeepUV照射によっても同様な効果を得ることができる。要するに、レジストパターンに対して、パターンの収縮及びエッティング耐性の向上が可能な広義な意味のキュアリング処理が行えれば良い。

【0211】

また、フォトレジスト膜としてKrF、ArFエキシマ用レジストに限らず、g線用レジスト、i線用レジスト、VUV(F₂)エキシマ用レジスト、電子線用レジスト、X線用レジストなどいずれの材料に対しても有効である。

【0212】

なお、実施の形態8～実施の形態11で示した化学反応促進処理である露光処

理及び熱処理はフォトレジスト膜によるレジストパターンの分解反応を促進させるために行うものである。したがって、レジストパターンの分解反応を促進することができれば露光処理及び熱処理のうち一方のみを行っても良い。

【0213】

【発明の効果】

以上説明したように、この発明における請求項1記載の半導体装置の製造方法において、ステップ(d)の実行により、第1のレジストパターンの膜厚は、加工パターンにおける密なパターン部分と疎なパターン部分との間に生じる、加工パターン第1のレジストパターンに対する寸法ズレ量の差が所定の基準以下で、かつ所定のエッティング処理に支障を来さない条件を満足する膜厚に設定されるため、エッティング対象物が絶縁物の場合で加工パターンが比較的大きな粗密差を有する場合でも、ステップ(e)によって、加工パターンを寸法精度良く得ることができる。

【0214】

さらに、第1のレジストパターンはステップ(d)の処理でイオン注入されることにより、所定のエッティング処理に対するエッティング耐性が向上されているため、第1のレジストパターンの膜厚が薄くなても所定のエッティング処理に悪影響を与えない。

【0215】

加えて、第1のレジストパターンはステップ(d)の処理でイオン注入されることにより、第1のレジストパターンのエッジ部分のラフネスが緩和され、直線性の優れた第1のレジストパターンを得ることができる。

【0216】

請求項2記載の半導体装置の製造方法は、ステップ(d)で注入されるイオンが実エッティング対象物に注入されるのをイオン阻止膜によって阻止されるため、イオン注入によって実エッティング対象物が悪影響を受けることはない。

【0217】

請求項3記載の半導体装置の製造方法において、シリコン窒化膜あるいはシリコン窒化酸化膜はプラズマCVD法を用いて形成されるため、均一な膜厚で形成

することができるため、第1のレジストパターン形状に悪影響を与えない。

【0218】

請求項4記載の半導体装置の製造方法において、イオン阻止膜は有機反射防止膜を含むため、有機反射防止膜はイオン注入によって段差が軽減する方向に膜厚が収縮するため、エッティング対象物の段差をイオン注入前より平坦化することができ、所定のエッティング処理時に上記段差によって生じる加工パターンの寸法不均一性を低減することができる。

【0219】

請求項5記載の半導体装置の製造方法において、ステップ(d)に加え、ステップ(a-3)の実行時に行うイオン注入によって、エッティング対象物の段差を大幅に平坦化することができ、所定のエッティング処理時に上記段差によって生じる加工パターンの寸法不均一性をより一層低減化することができる。

【0220】

請求項6記載の半導体装置の製造方法において、イオン注入によって生じるパターン収縮現象を利用した比較的密な第1のレジストパターンと、イオン注入によって生じるパターン収縮現象を利用しない比較的疎な第2のレジストパターンとをマスクとした所定のエッティング処理を実行することにより、粗密差の異なる加工パターンを精度良く得ることができる。

【0221】

請求項7記載の半導体装置の製造方法において、第1のレジストパターンはステップ(d)のイオン注入によって生じる組成変化によって、ステップ(g)実行時に実質的に除去されないため、ステップ(f)で行う第2のレジストの形成処理は最も単純な全面形成処理で実行することができる。

【0222】

請求項8記載の半導体装置の製造方法において、ステップ(d)のイオン注入は第1のレジストパターンの形成面の垂線に対し斜め方向上から行うため、第1のレジストパターンの側面によてもエッティング対象物へのイオン注入が阻止されることにより、第1のレジストパターン下のエッティング対象物にはイオンがほとんど注入されない。したがって、エッティング対象物にイオンが注入される不具合

を回避することができる。

【0223】

請求項9記載の半導体装置の製造方法において、エッティング対象物として表面に凹凸形状を有しているが、ステップ(d)のイオン注入によって当該凹凸形状が緩和されるため、凹凸形状による悪影響を抑制することができる。

【0224】

請求項10記載の半導体装置の製造方法は、ステップ(d)のイオン注入によってエッティング対象物表面の凹凸形状が緩和されるため、ステップ(b)の露光処理に上記凹凸形状からの反射によって生じる悪影響を抑制することができる。

【0225】

請求項11記載の半導体装置の製造方法において、エッティング対象物表面にマスクの重ね合わせ用のマークを有している。このマークは表面の凹凸形状によって計測精度が劣化するが、ステップ(h)のイオン注入によって当該凹凸形状が緩和されるため、当該マークの計測精度の向上に伴いマスクの重ね合わせ精度を向上させることができる。

【0226】

請求項12記載の半導体装置の製造方法は、ステップ(h-3)で、第3のレジストパターンをマスクとして、エッティング対象物のマーク形成領域にイオンを注入するため、ステップ(h)のイオン注入によってマーク形成領域表面の凹凸形状が緩和されるため、当該マークの計測精度の向上に伴いマスクの重ね合わせ精度を向上させることができる。

【0227】

さらに、第3のレジストパターンによって、マーク形成領域以外のエッティング対象物へのイオン注入を確実に阻止することができる。

【0228】

請求項13記載の半導体装置の製造方法は、注入エネルギーの異なる複数の部分イオン注入を行うことにより、第1のレジストパターンを膜厚方向に均一性よく硬化させることにより、ステップ(e)の所定のエッティング処理を、第1のレジストパターンに支障を来すことなく実行することができる。

【0229】

この発明に係る請求項14記載の半導体装置の製造方法において、ステップ(e)のキュアリング処理の実行により、第1のレジストパターンの膜厚は収縮するため、ステップ(f)によって、加工パターンを寸法精度良く得ることができる。

【0230】

加えて、ステップ(d)の化学反応促進処理によって、第1のレジストパターンの分解反応が促進されるため、ステップ(f)実行時に第1のレジストパターン内にガスが発生することに伴う不具合を確実に回避することができる。

【0231】

請求項15記載の半導体装置の製造方法において、キュアリング処理によって生じる膜厚及びパターン寸法の収縮現象を利用した比較的密な第1のレジストパターンと、キュアリング処理によって生じる膜厚及びパターン寸法の収縮現象を利用しない比較的疎な第2のレジストパターンとをマスクとした所定のエッチング処理を実行することにより、粗密差の異なる加工パターンを精度良く得ることができる。

【0232】

請求項16記載の半導体装置の製造方法において、ステップ(j)のキュアリング処理によって、所定のエッチング処理に対する第2のレジストパターンのエッチング耐性を向上させることができる。この際、第2のレジストパターンの膜厚収縮がほとんど生じないようにステップ(j)のキュアリング処理を行えば、比較的疎な第2のレジストパターンを維持することができる。

【0233】

加えて、ステップ(d)及び(i)の化学反応促進処理によって、第1及び第2のレジストパターンの分解反応が促進されるため、ステップ(f)実行時に第1及び第2のレジストパターン内にガスが発生することに伴う不具合を確実に回避することができる。

【0234】

請求項17記載の半導体装置の製造方法において、対象物である第1あるいは第2のレジストパターンに対して露光処理及び熱処理を施すことにより、第1あ

るいは第2のレジストパターンにおける分解反応を促進させることができる。

【0235】

この発明に係る請求項18記載の半導体装置の製造方法において、ステップ(d)のキュアリング処理によって生じる膜厚及びパターン寸法の収縮現象を利用した比較的密な第1のレジストパターンと、キュアリング処理によって生じる膜厚及びパターン寸法の収縮現象を利用しない比較的疎な第2のレジストパターンとをマスクとした所定のエッティング処理を実行することにより、粗密差の異なる加工パターンを精度良く得ることができる。

【図面の簡単な説明】

【図1】 実施の形態1の原理となる配線パターン形成方法を示す断面図である。

【図2】 実施の形態1の原理となる配線パターン形成方法を示す断面図である。

【図3】 実施の形態1の原理となる配線パターン形成方法を示す断面図である。

【図4】 実施の形態1の原理となる配線パターン形成方法を示す断面図である。

【図5】 レジストパターンとエッティング後の加工パターンのパターン寸法の比較結果を示すグラフである。

【図6】 スペース幅依存性を示すグラフである。

【図7】 この発明の実施の形態1である配線パターン形成方法を示す断面図である。

【図8】 実施の形態1の配線パターン形成方法を示す断面図である。

【図9】 実施の形態1の配線パターン形成方法を示す断面図である。

【図10】 実施の形態1の配線パターン形成方法を示す断面図である。

【図11】 実施の形態1の配線パターン形成方法を示す断面図である。

【図12】 スペース幅依存性を示すグラフである。

【図13】 現像後のレジストパターン形状を示す説明図である。

【図14】 イオン注入後のレジストパターン形状を示す説明図である。

- 【図15】 実施の形態2の配線パターン形成方法を示す断面図である。
- 【図16】 実施の形態2の配線パターン形成方法を示す断面図である。
- 【図17】 実施の形態2の配線パターン形成方法を示す断面図である。
- 【図18】 実施の形態2の配線パターン形成方法を示す断面図である。
- 【図19】 実施の形態2の配線パターン形成方法を示す断面図である。
- 【図20】 実施の形態2の配線パターン形成方法を示す断面図である。
- 【図21】 実施の形態3の配線パターン形成方法を示す断面図である。
- 【図22】 実施の形態3の配線パターン形成方法を示す断面図である。
- 【図23】 実施の形態3の配線パターン形成方法を示す断面図である。
- 【図24】 実施の形態3の配線パターン形成方法を示す断面図である。
- 【図25】 実施の形態3の配線パターン形成方法を示す断面図である。
- 【図26】 実施の形態3の配線パターン形成方法を示す断面図である。
- 【図27】 実施の形態3の配線パターン形成方法を示す断面図である。
- 【図28】 実施の形態4の配線パターン形成方法を示す断面図である。
- 【図29】 実施の形態4の配線パターン形成方法を示す断面図である。
- 【図30】 実施の形態4の配線パターン形成方法を示す断面図である。
- 【図31】 実施の形態4の配線パターン形成方法を示す断面図である。
- 【図32】 実施の形態4の配線パターン形成方法を示す断面図である。
- 【図33】 実施の形態4の配線パターン形成方法を示す断面図である。
- 【図34】 実施の形態4の配線パターン形成方法を示す断面図である。
- 【図35】 実施の形態4の配線パターン形成方法を示す断面図である。
- 【図36】 実施の形態5の配線パターン形成方法を示す断面図である。
- 【図37】 実施の形態5の配線パターン形成方法を示す断面図である。
- 【図38】 実施の形態5の配線パターン形成方法を示す断面図である。
- 【図39】 実施の形態5の配線パターン形成方法を示す断面図である。
- 【図40】 実施の形態5の配線パターン形成方法を示す断面図である。
- 【図41】 DRAMのキャパシタ形成工程のパターンが描かれたレティクルを示す説明図である。
- 【図42】 実施の形態5の配線パターン形成方法の特徴部を示す断面図で

ある。

【図4 3】 通常のスパッタリング法で形成したアルミニウム膜の表面形状を模式的に示す説明図である。

【図4 4】 加熱しながらスパッタリングして形成したアルミニウム膜の表面形状を模式的に示した説明図である。

【図4 5】 加熱しながらスパッタリングして形成したアルミニウム膜にイオン注入した後の表面形状を模式的に示した説明図である。

【図4 6】 この発明の実施の形態6である配線パターン形成方法の特徴部を示す断面図である。

【図4 7】 この発明の実施の形態7である配線パターンの形成方法の特徴部を示す断面図である。

【図4 8】 従来の配線パターン形成方法を示す断面図である。

【図4 9】 従来の配線パターン形成方法を示す断面図である。

【図5 0】 従来の配線パターン形成方法を示す断面図である。

【図5 1】 従来の配線パターン形成方法を示す断面図である。

【図5 2】 レジストパターンとエッチング後に得られる加工パターンとのパターン寸法の比較結果を示すグラフである。

【図5 3】 スペース幅依存性を示すグラフである。

【図5 4】 レジストパターンの肩落ち説明用の断面図である。

【図5 5】 レジストパターンの肩落ち説明用の断面図である。

【図5 6】 レジストパターンの肩落ち説明用の断面図である。

【図5 7】 実施の形態8の前提となるゲートパターン形成工程を示す断面図である。

【図5 8】 実施の形態8の前提となるゲートパターン形成工程を示す断面図である。

【図5 9】 実施の形態8の前提となるゲートパターン形成工程を示す断面図である。

【図6 0】 実施の形態8の前提となるゲートパターン形成工程を示す断面図である。

【図61】 実施の形態8の前提となるゲートパターン形成工程を示す断面図である。

【図62】 実施の形態8のゲートパターン形成工程を示す断面図である。

【図63】 実施の形態8のゲートパターン形成工程を示す断面図である。

【図64】 実施の形態8のゲートパターン形成工程を示す断面図である。

【図65】 実施の形態8のゲートパターン形成工程を示す断面図である。

【図66】 実施の形態8のゲートパターン形成工程を示す断面図である。

【図67】 実施の形態8のゲートパターン形成工程を示す断面図である。

【図68】 実施の形態9のキャパシタパターン形成工程を示す断面図である。

【図69】 実施の形態9のキャパシタパターン形成工程を示す断面図である。

【図70】 実施の形態9のキャパシタパターン形成工程を示す断面図である。

【図71】 実施の形態9のキャパシタパターン形成工程を示す断面図である。

【図72】 実施の形態9のキャパシタパターン形成工程を示す断面図である。

【図73】 実施の形態9のキャパシタパターン形成工程を示す断面図である。

【図74】 実施の形態9で用いられるレティクルを示す説明図である。

【図75】 実施の形態10の配線パターン形成方法を示す断面図である。

【図76】 実施の形態10の配線パターン形成方法を示す断面図である。

【図77】 実施の形態10の配線パターン形成方法を示す断面図である。

【図78】 実施の形態10の配線パターン形成方法を示す断面図である。

【図79】 実施の形態10の配線パターン形成方法を示す断面図である。

【図80】 実施の形態10の配線パターン形成方法を示す断面図である。

【図81】 実施の形態10の配線パターン形成方法を示す断面図である。

【図82】 実施の形態10の配線パターン形成方法を示す断面図である。

【図83】 実施の形態10の配線パターン形成方法を示す断面図である。

【図84】 実施の形態11の配線パターン形成方法を示す断面図である。

【図85】 実施の形態11の配線パターン形成方法を示す断面図である。

【図86】 実施の形態11の配線パターン形成方法を示す断面図である。

【図87】 実施の形態11の配線パターン形成方法を示す断面図である。

【図88】 実施の形態11の配線パターン形成方法を示す断面図である。

【図89】 実施の形態11の配線パターン形成方法を示す断面図である。

【図90】 実施の形態11の配線パターン形成方法を示す断面図である。

【図91】 実施の形態11の配線パターン形成方法を示す断面図である。

【図92】 実施の形態11の配線パターン形成方法を示す断面図である。

【図93】 実施の形態11の配線パターン形成方法を示す断面図である。

【図94】 実施の形態11の配線パターン形成方法を示す断面図である。

【図95】 実施の形態12のゲートパターン形成工程を示す断面図である

。 【図96】 実施の形態12のゲートパターン形成工程を示す断面図である

。 【図97】 実施の形態12のゲートパターン形成工程を示す断面図である

。 【図98】 実施の形態12のゲートパターン形成工程を示す断面図である

。 【図99】 実施の形態12のゲートパターン形成工程を示す断面図である

。 【図100】 イオンの注入エネルギーと平均飛程距離との関係を示すグラフである。

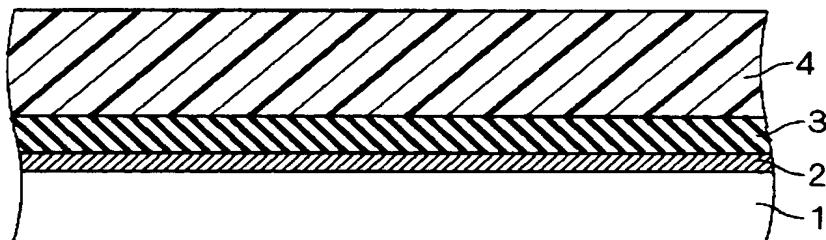
【符号の説明】

1 シリコン基板、2 ポリシリコン層、2a ポリシリコンパターン、3,
22 シリコン窒化膜、3a シリコン窒化パターン、4, 14, 25, 29,
31, 34 フォトレジスト膜、4a~4f, 4m, 14b, 17, 25a, 2
5c, 25d, 27a, 27c, 27d, 29a, 31a, 31c~31f, 3

4 a、34 c、34 d レジストパターン、5、5 a、5 b、5 m、26 レティクル、6、19 レーザー、8、24 シリコン塗化酸化膜、9、12、13、15、23 シリコン酸化膜、10 金属膜、11 有機B A R C 膜、16 アルミ層、19 マーク形成領域、A1 メモリセル領域、A2 周辺回路領域

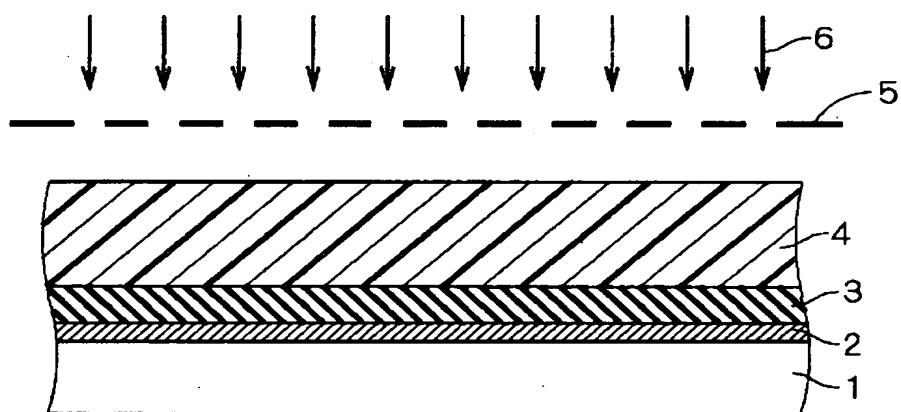
【書類名】 図面

【図1】



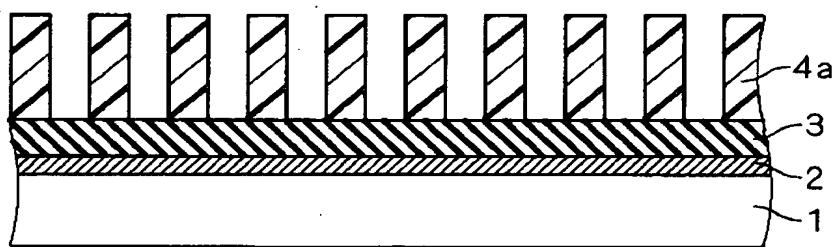
1 : シリコン基板 3 : シリコン塗化膜
2 : ポリシリコン層 4 : レジスト

【図2】



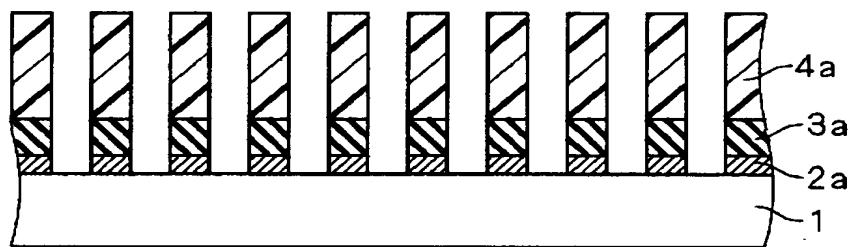
5 : レティクル 6 : レーザー

【図3】



4a : レジストパターン

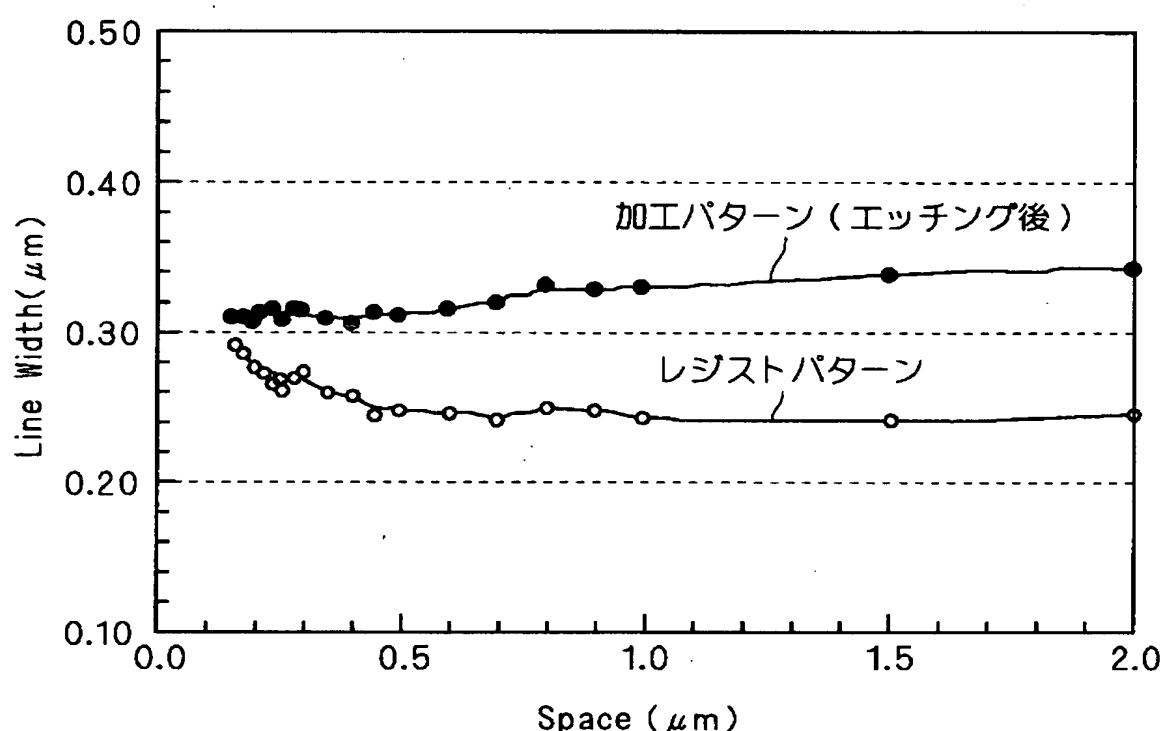
【図4】



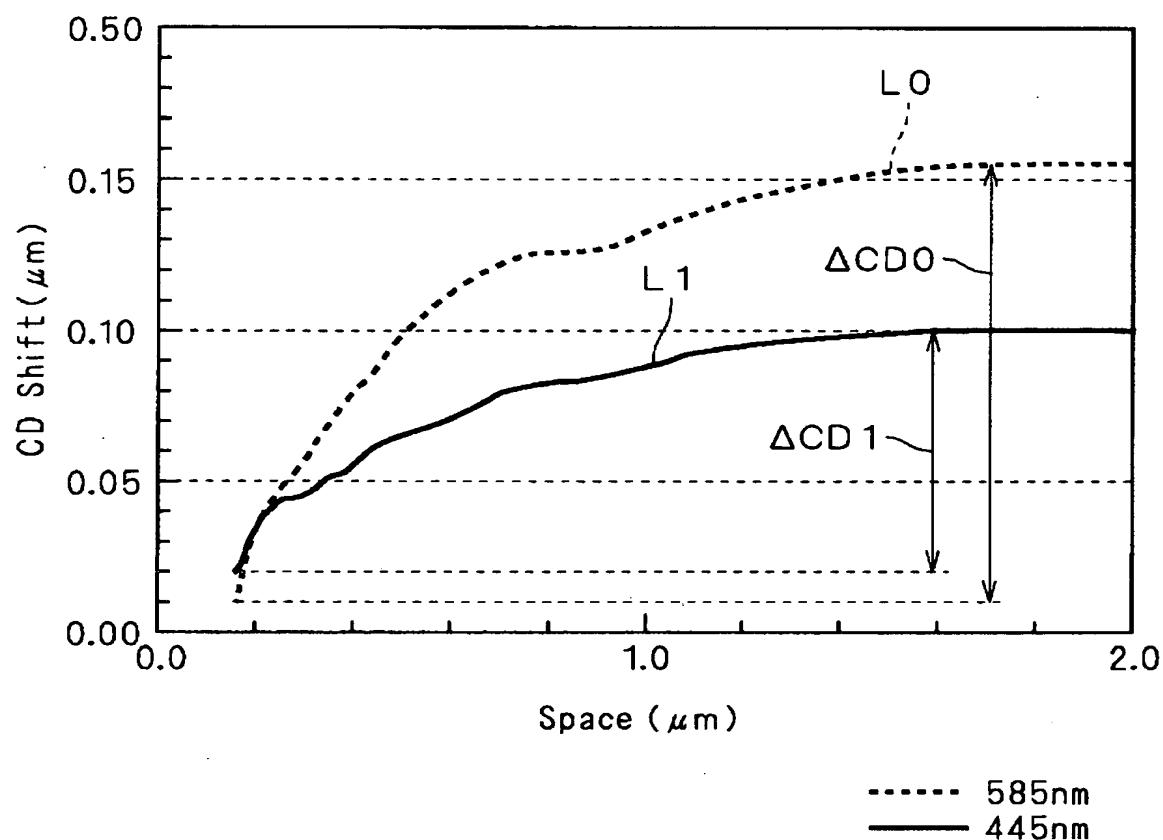
2a : ポリシリコンパターン

3a : シリコン窒化パターン

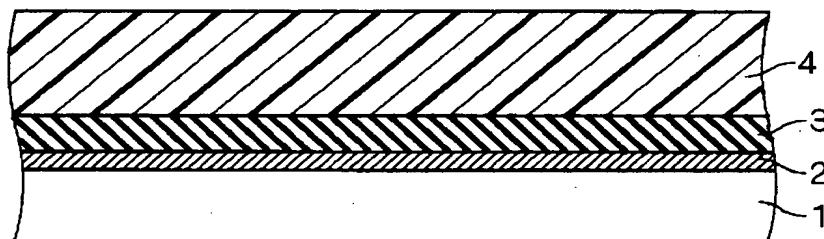
【図5】



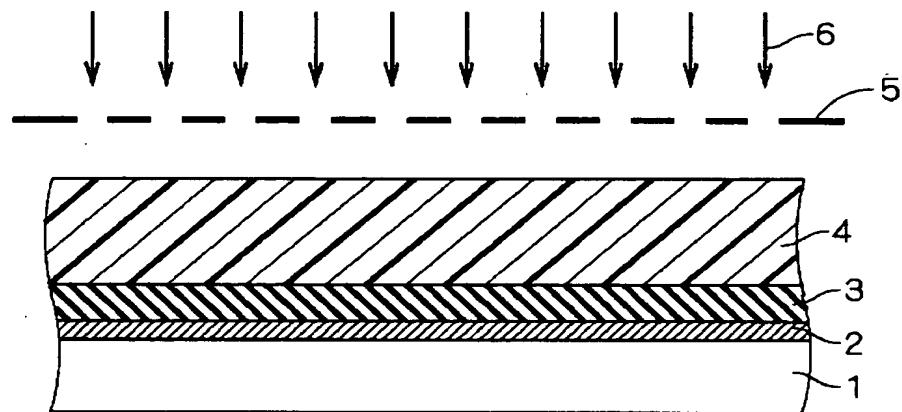
【図6】



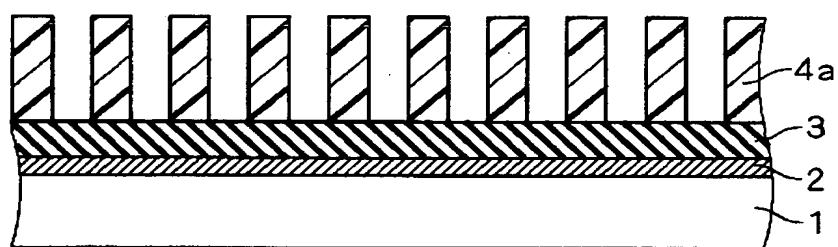
【図7】



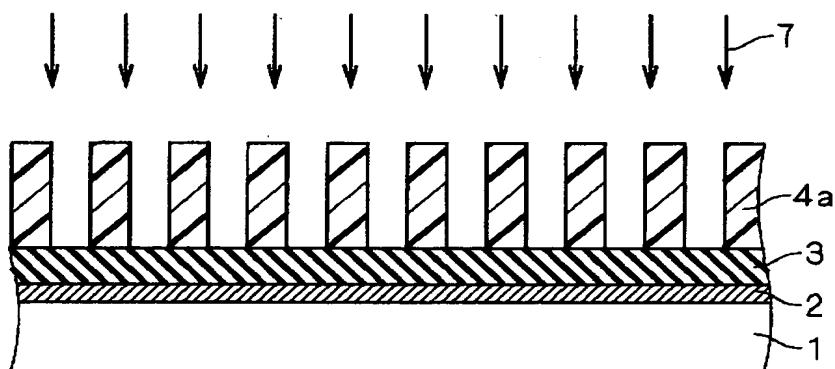
【図8】



【図9】

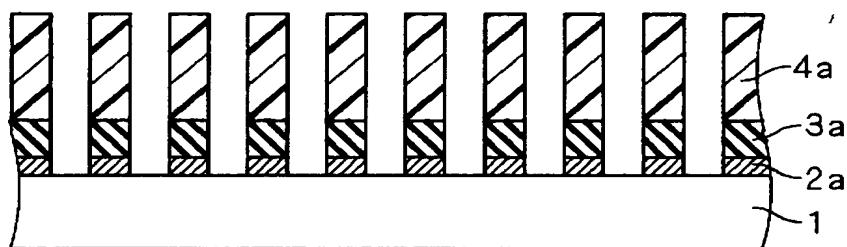


【図10】

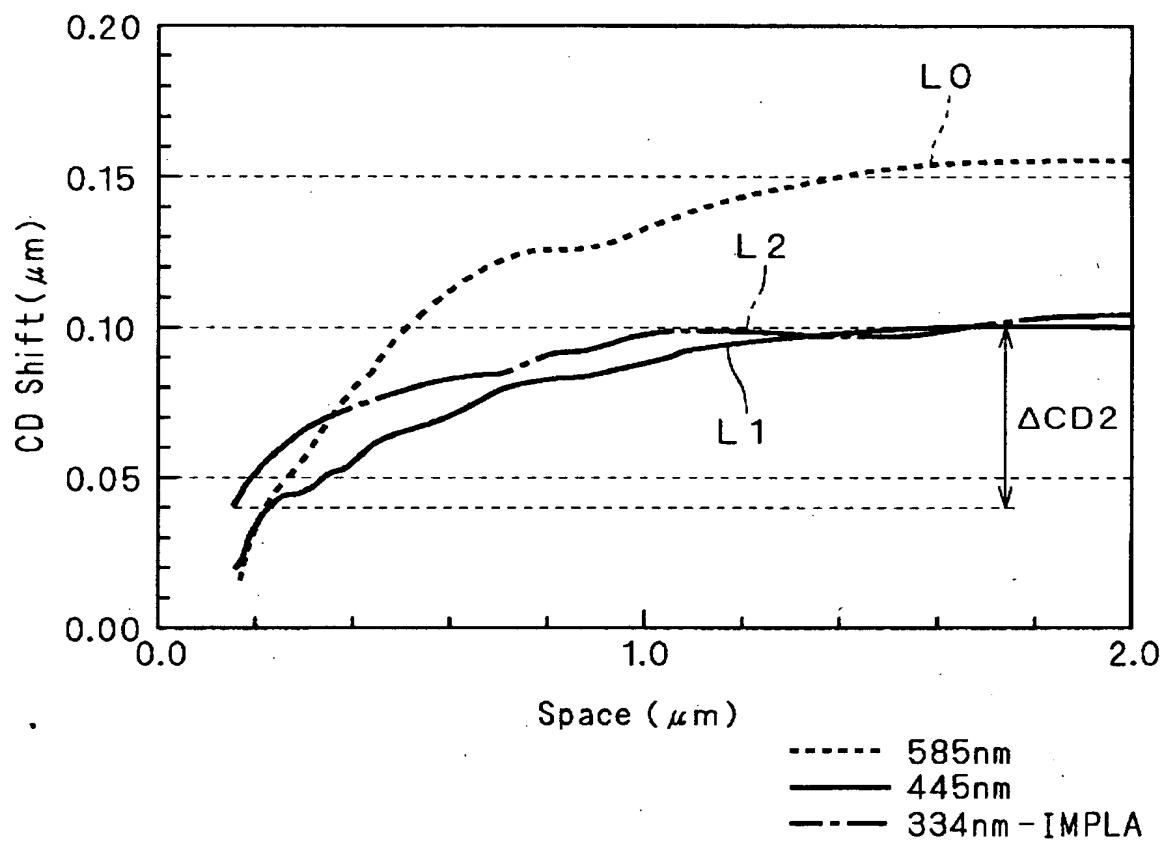


7：イオン

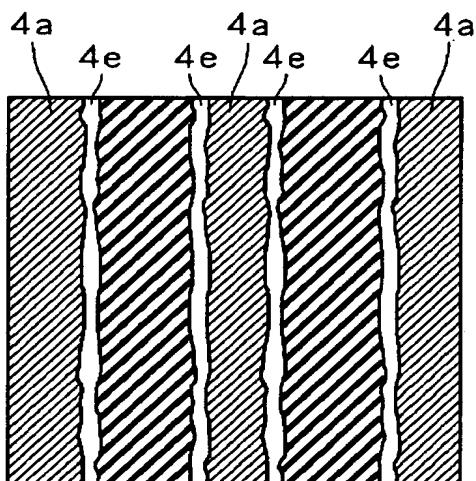
【図11】



【図12】

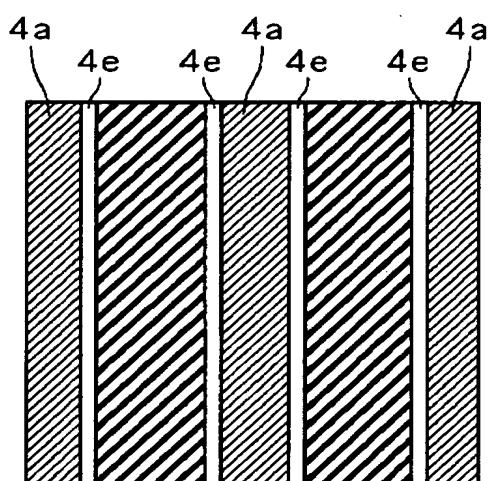


【図13】



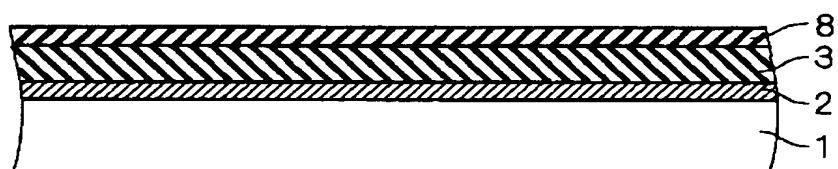
現像後レジストパターン

【図14】



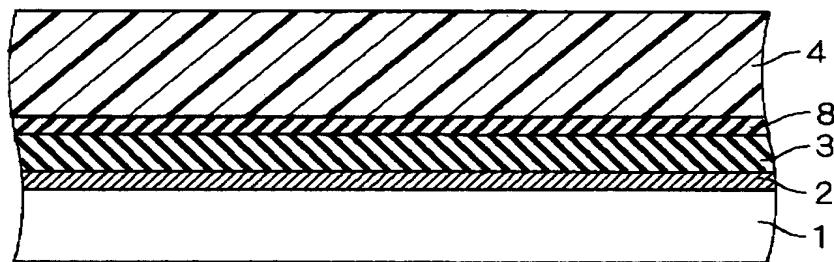
Arイオン注入後レジストパターン

【図15】

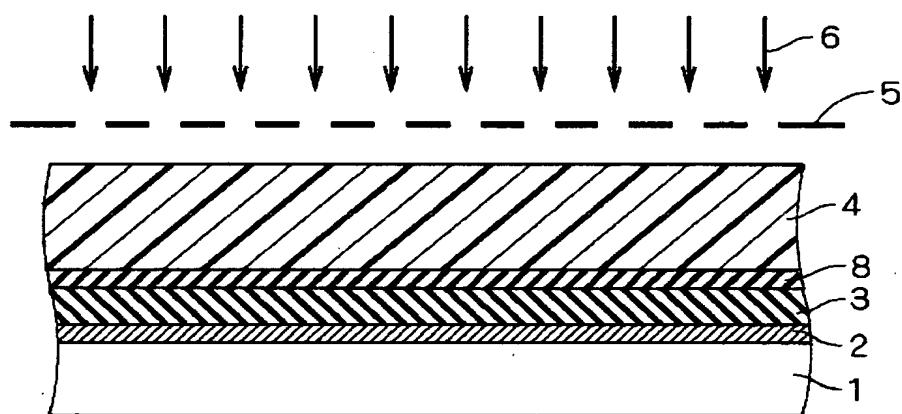


8：シリコン塗化酸化膜

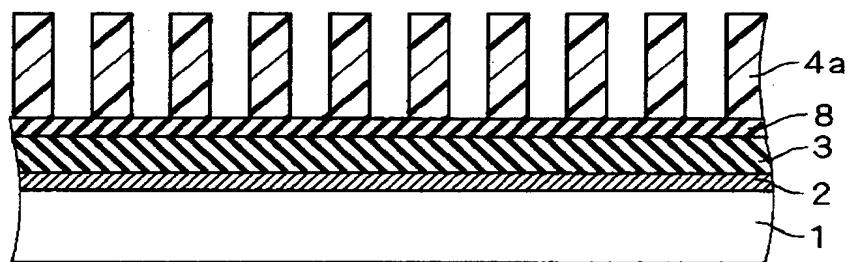
【図16】



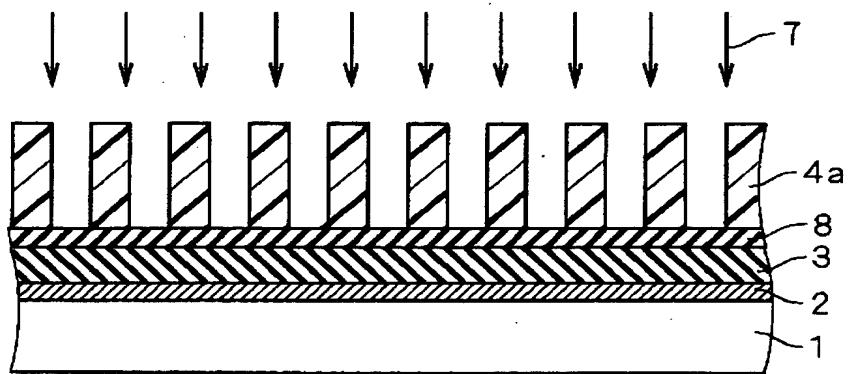
【図17】



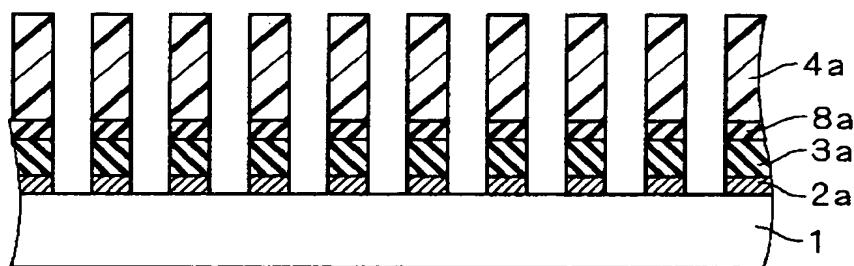
【図18】



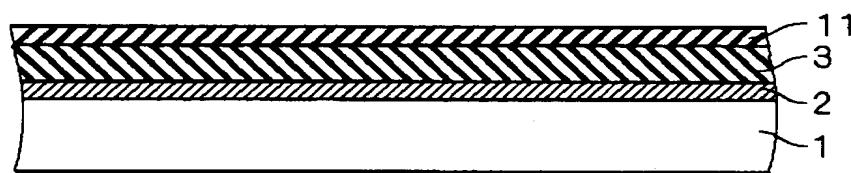
【図19】



【図20】

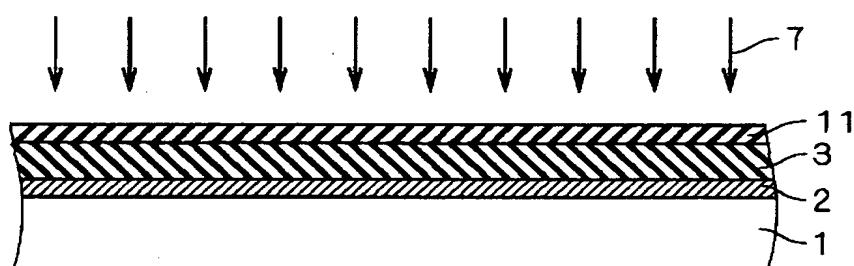


【図21】

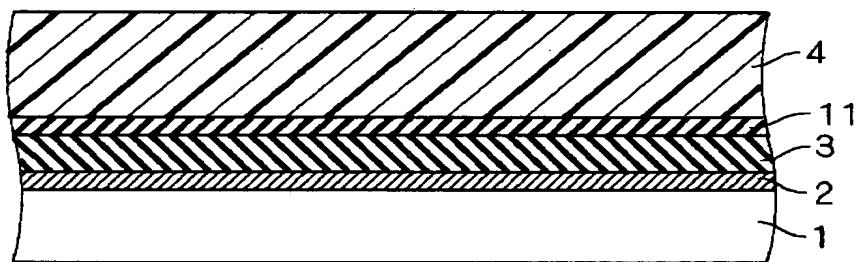


11：有機B A R C膜

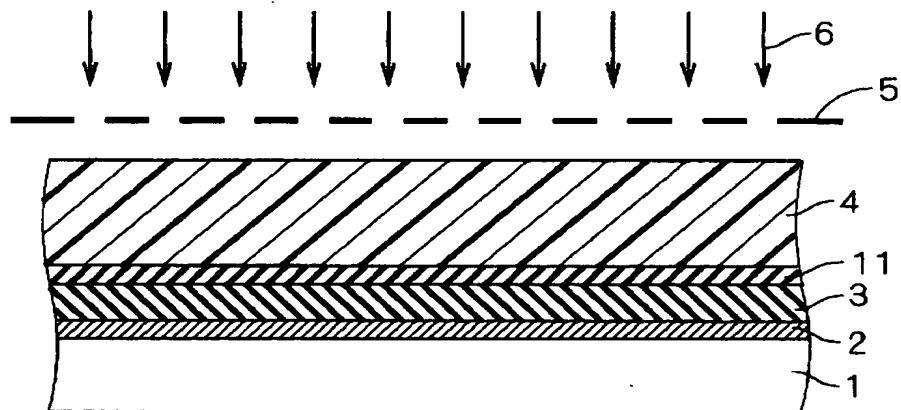
【図22】



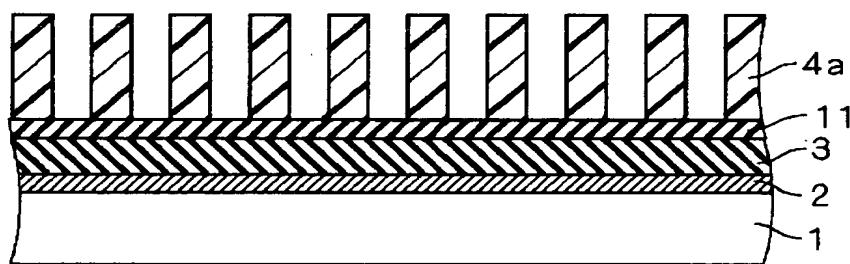
【図23】



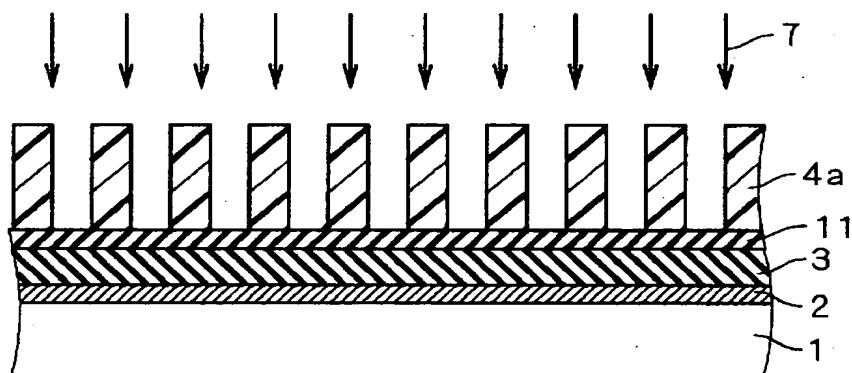
【図24】



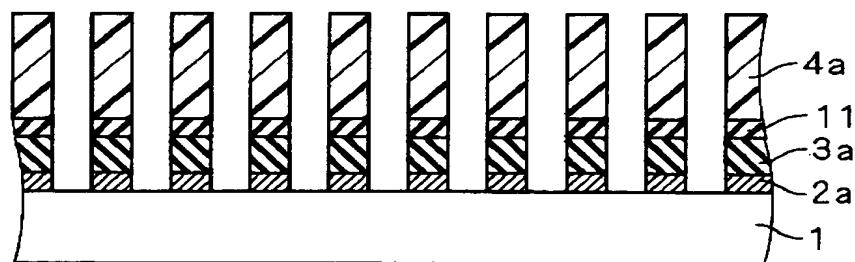
【図25】



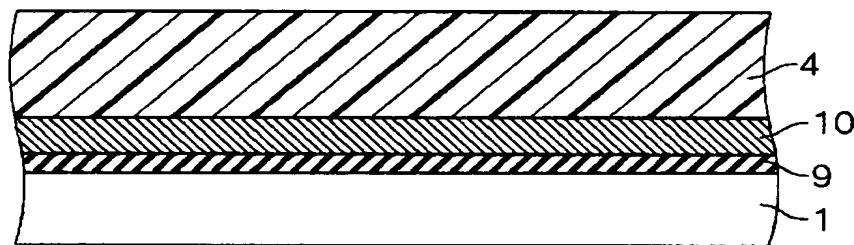
【図26】



【図27】

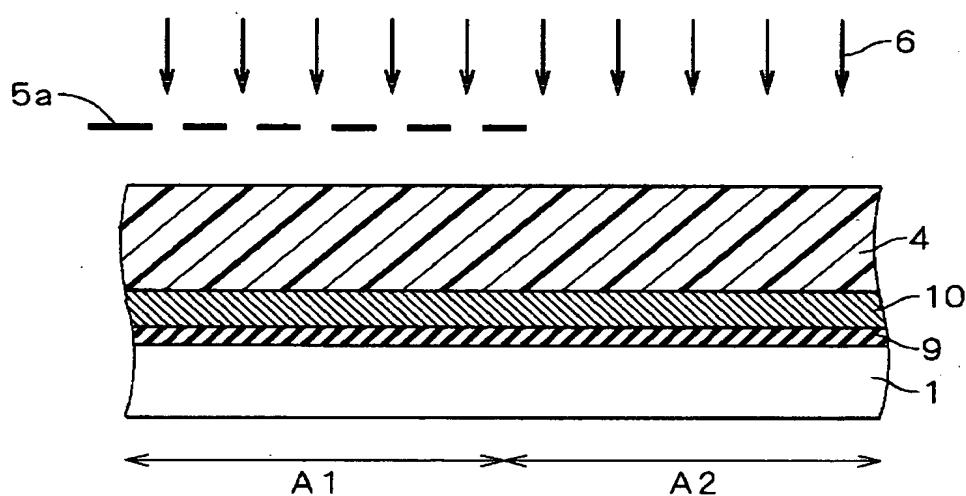


【図28】



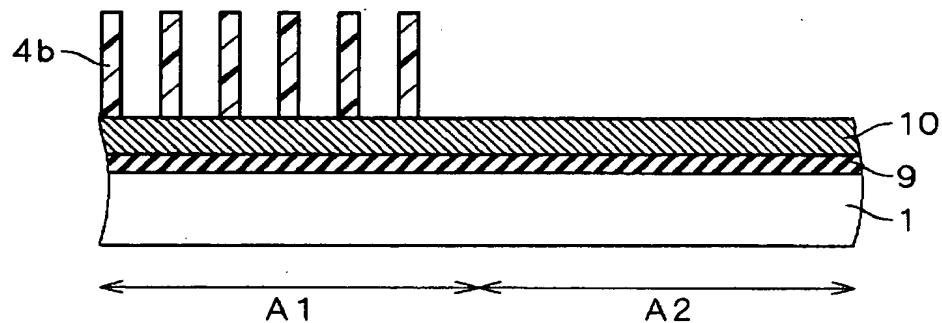
9 : シリコン酸化膜 10 : 金属膜

【図29】

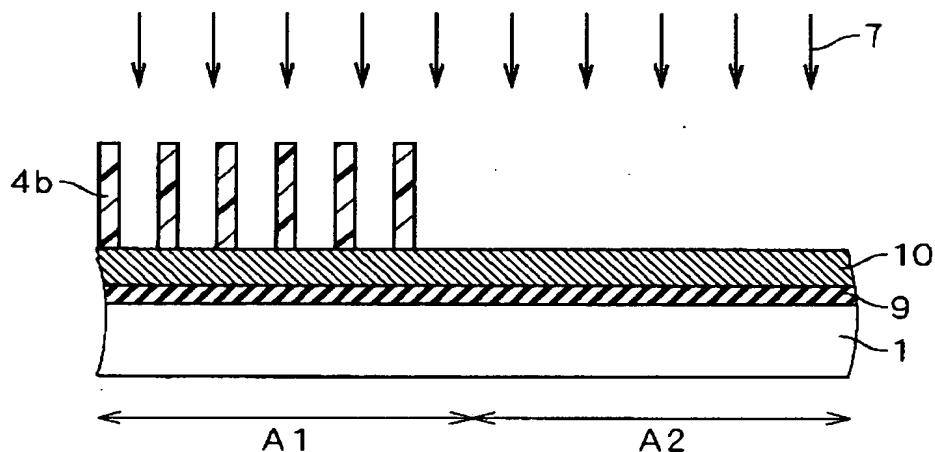


A1 : メモリセル形成領域
A2 : 周辺回路形成領域

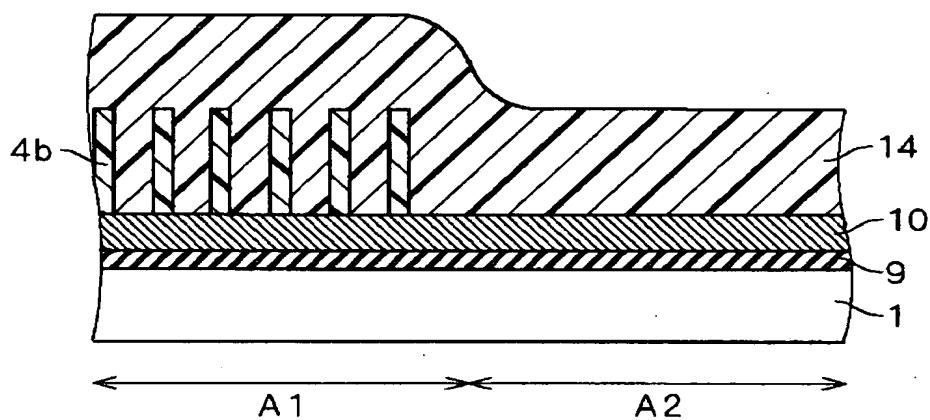
【図30】



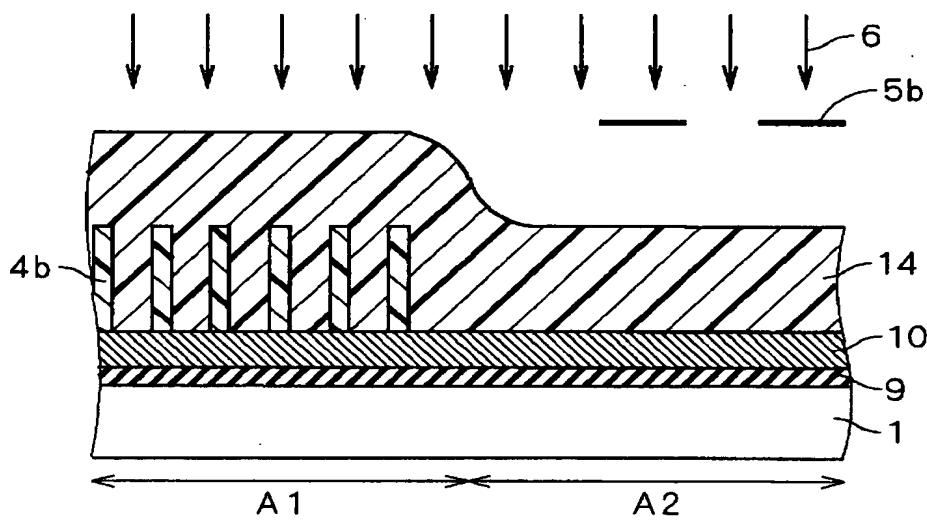
【図31】



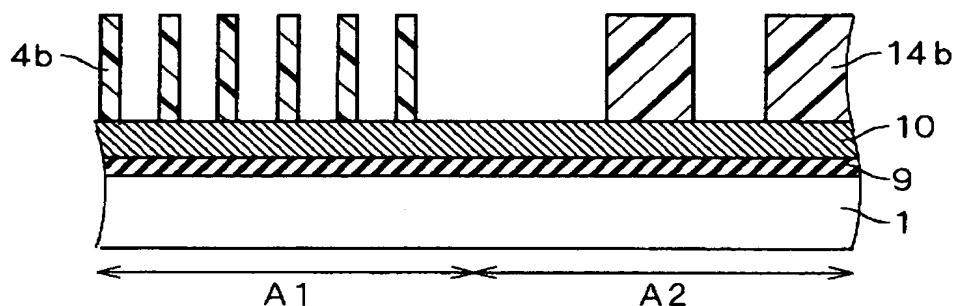
【図32】



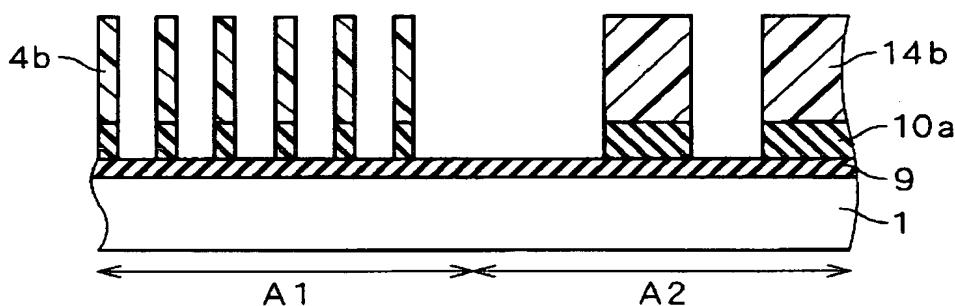
【図33】



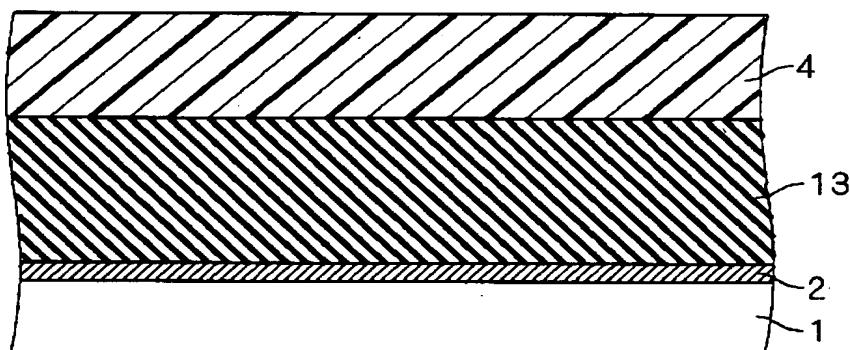
【図34】



【図35】

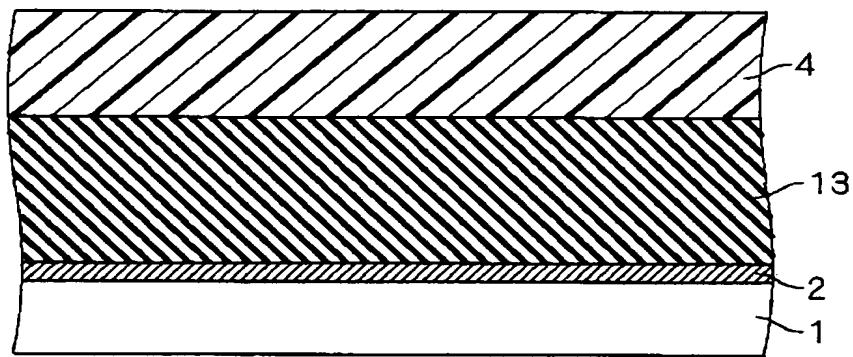
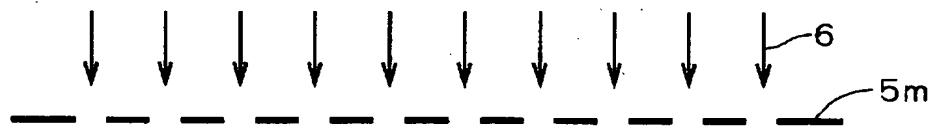


【図36】

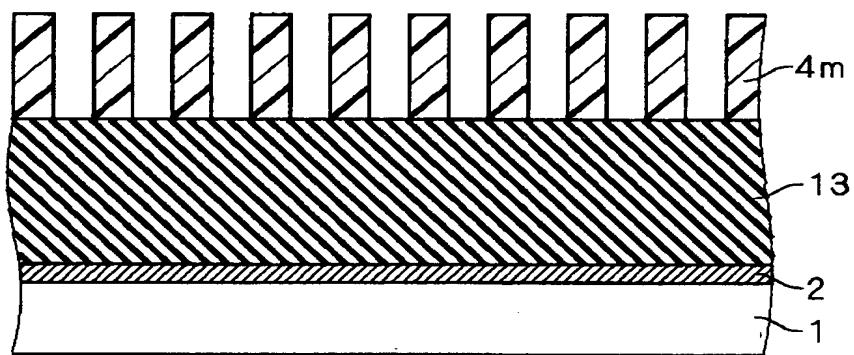


13：シリコン酸化膜

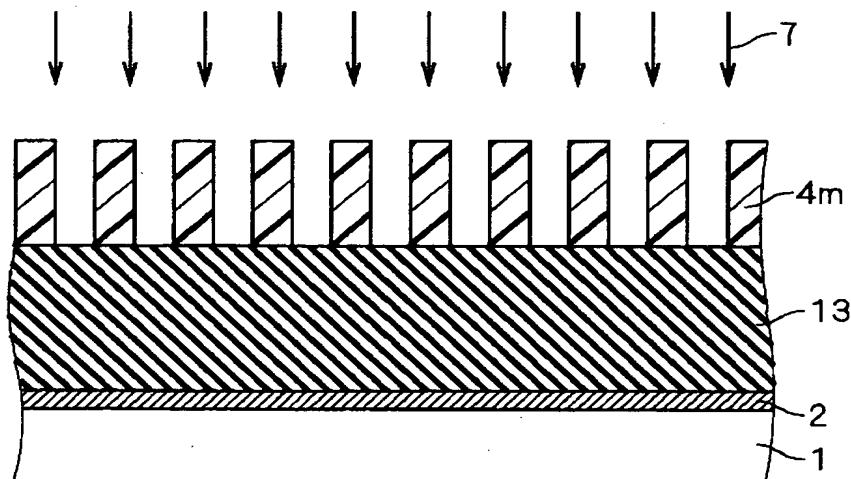
【図37】



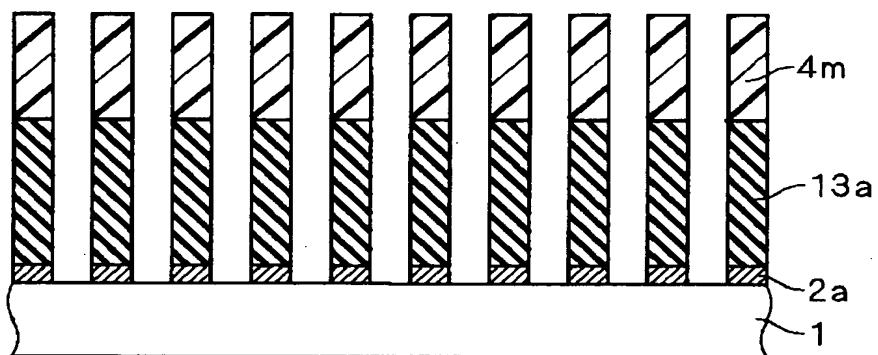
【図38】



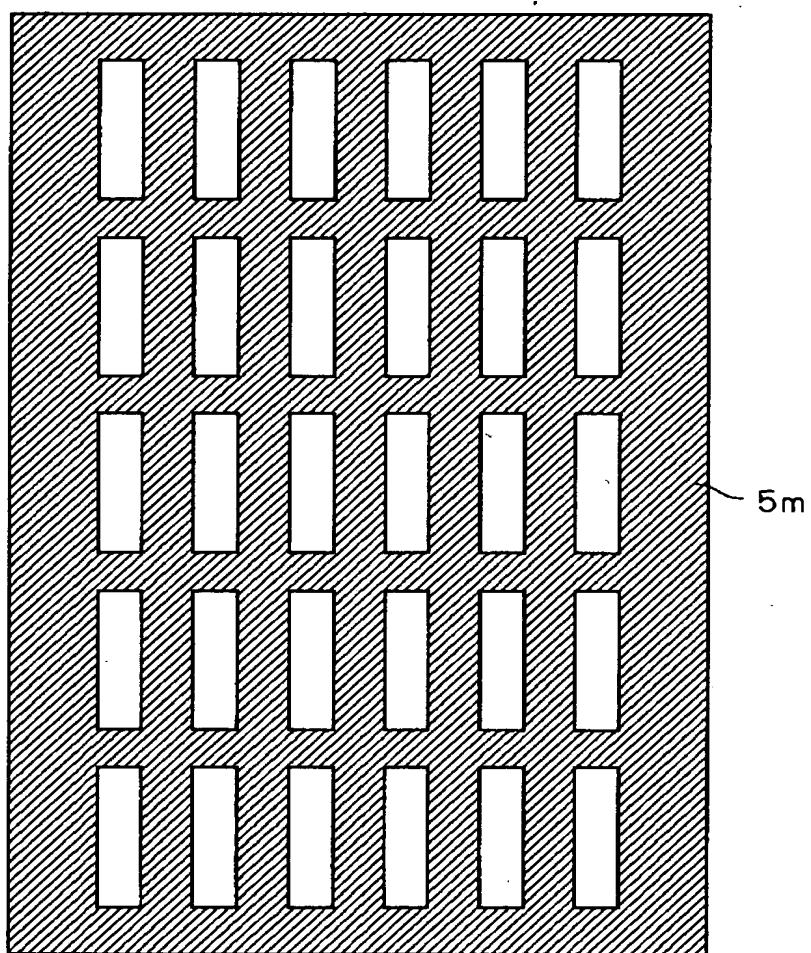
【図39】



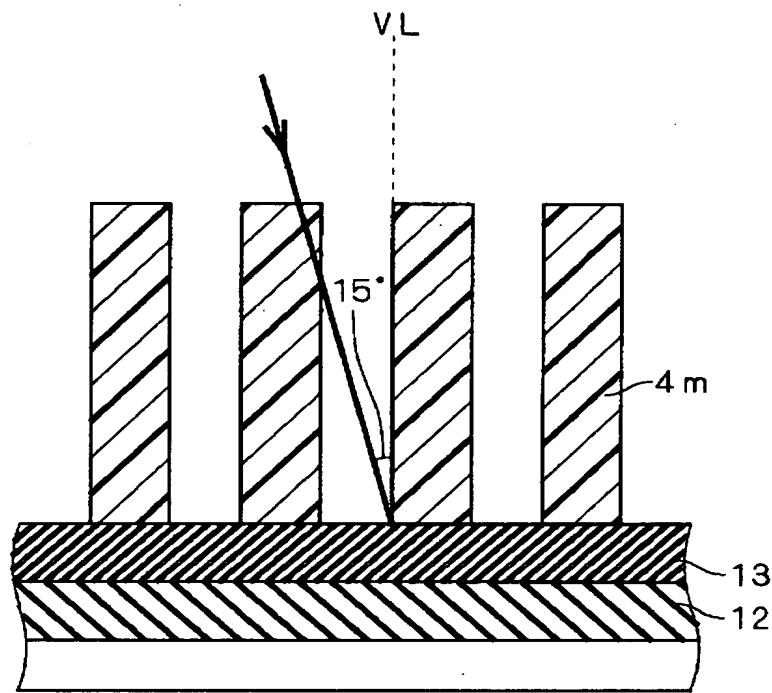
【図40】



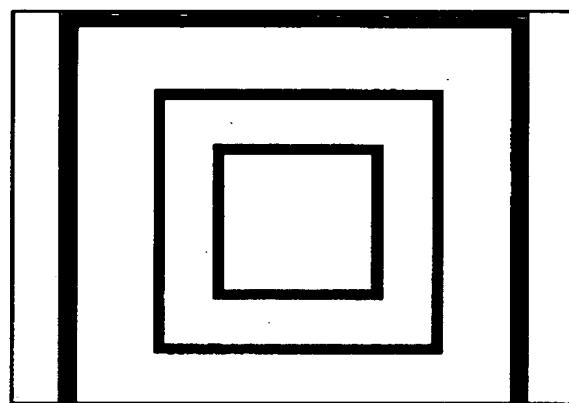
【図41】



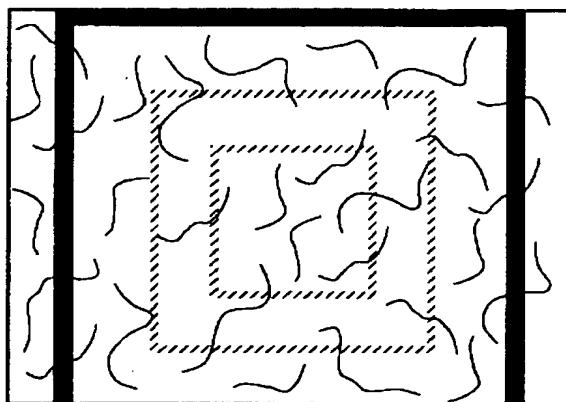
【図4 2】



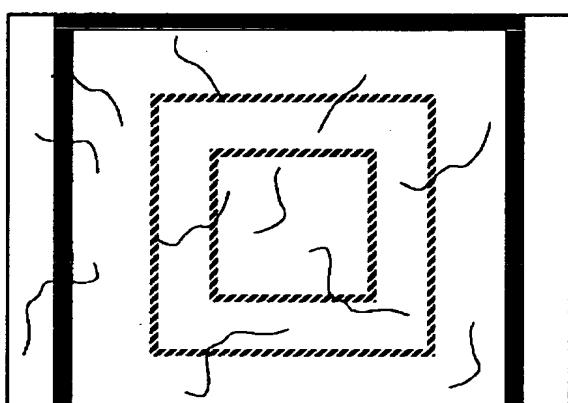
【図4 3】



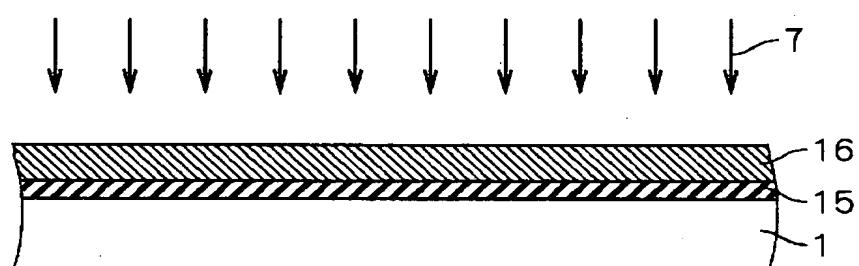
【図44】



【図45】

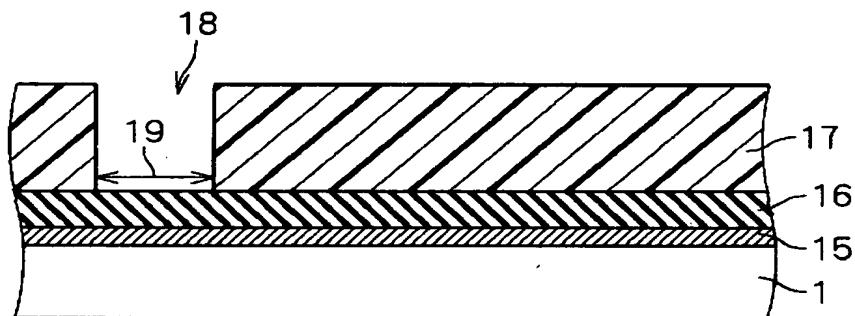


【図46】



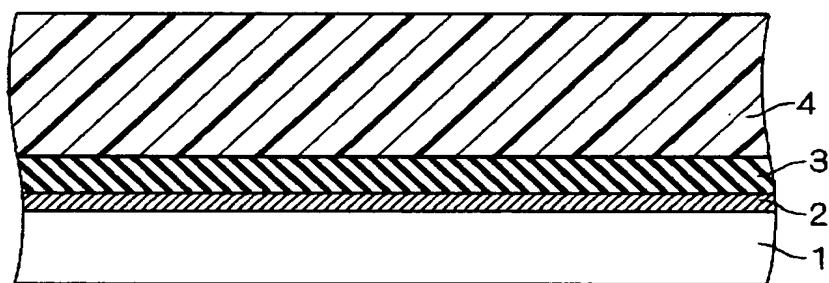
15 : シリコン酸化膜 16 : アルミ層

【図47】

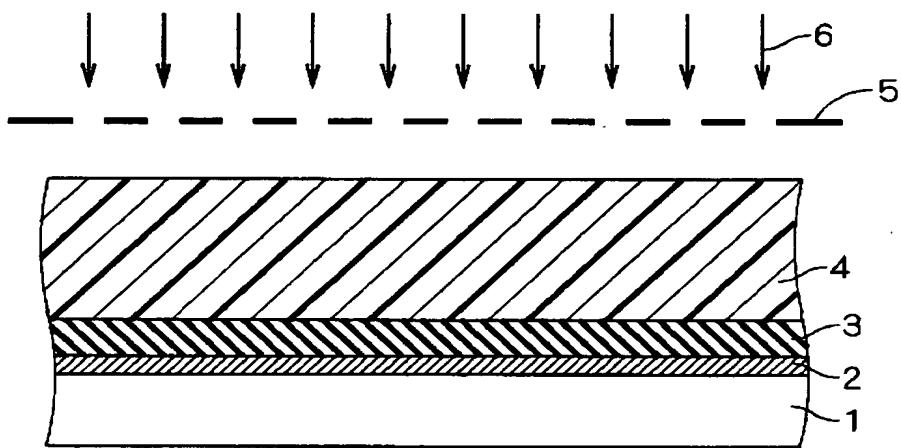


17：レジストパターン 19：マーク形成領域

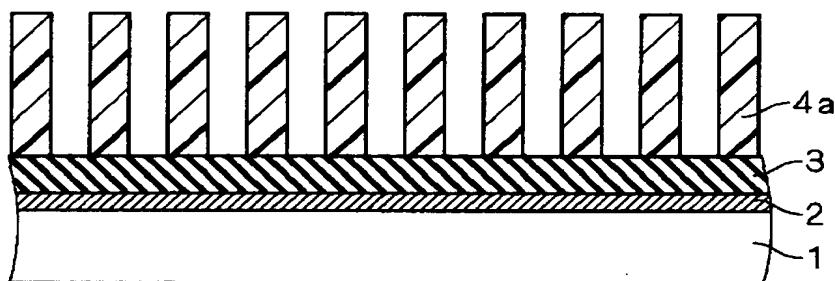
【図48】



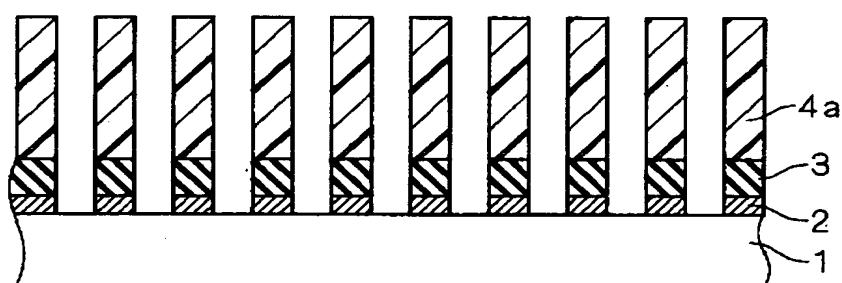
【図49】



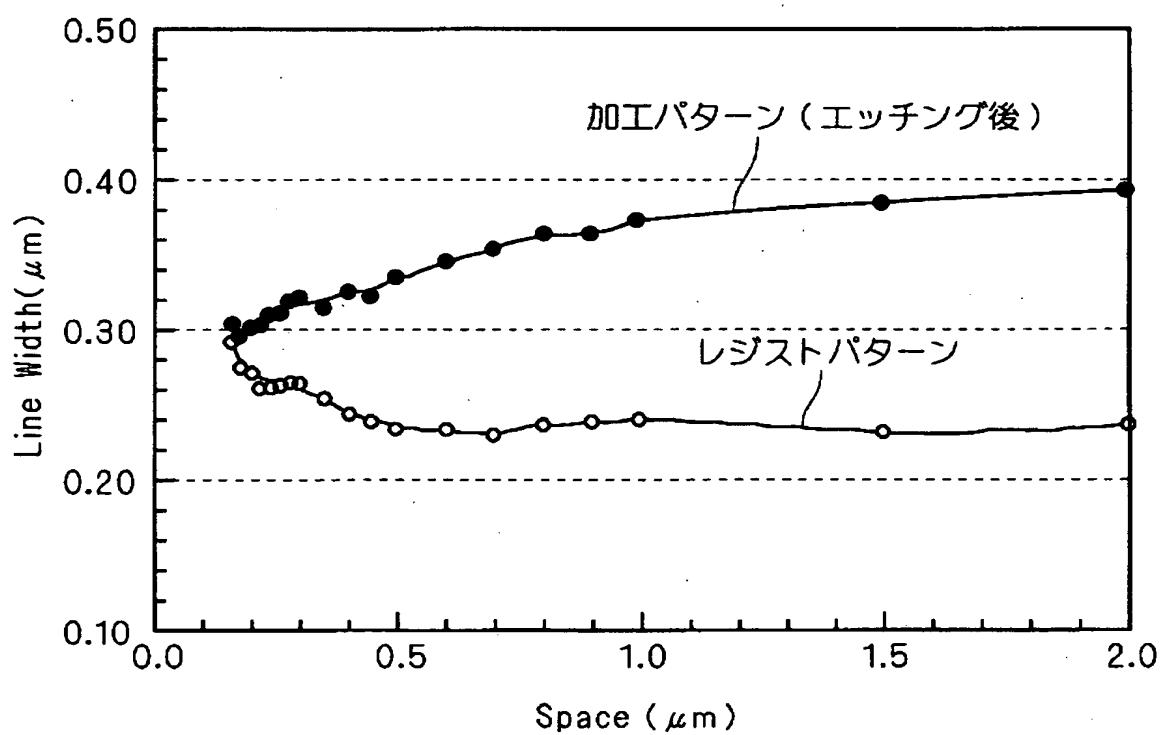
【図50】



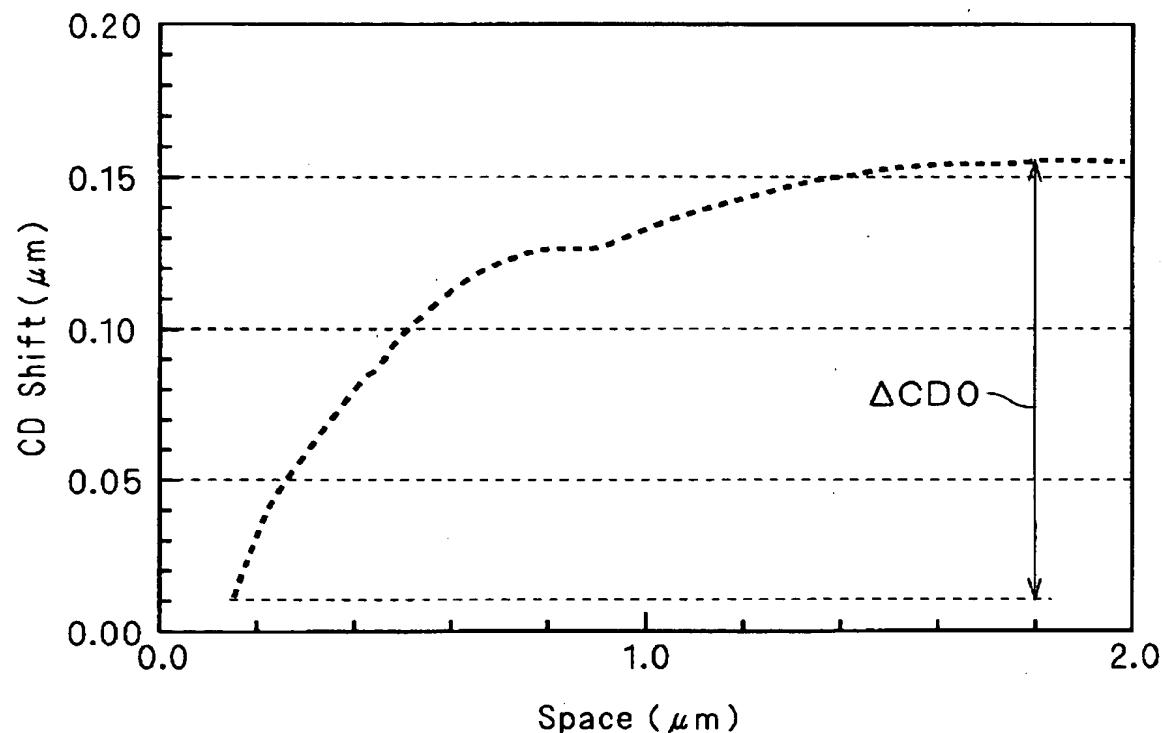
【図51】



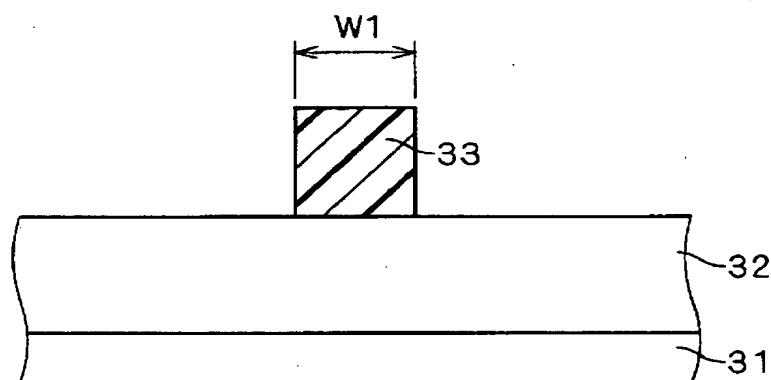
【図52】



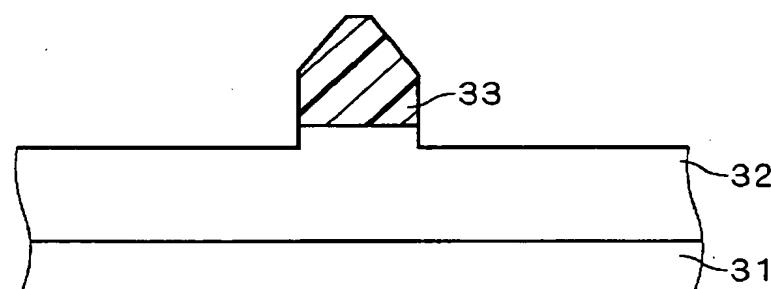
【図53】



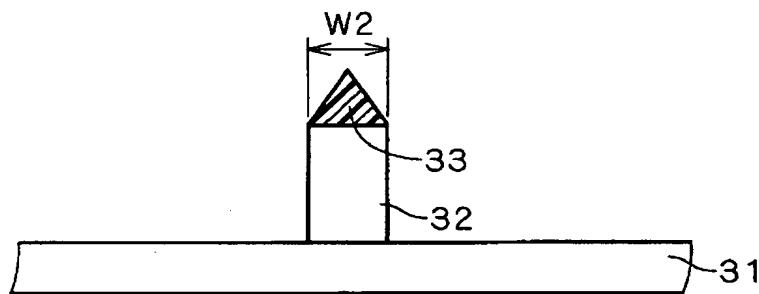
【図54】



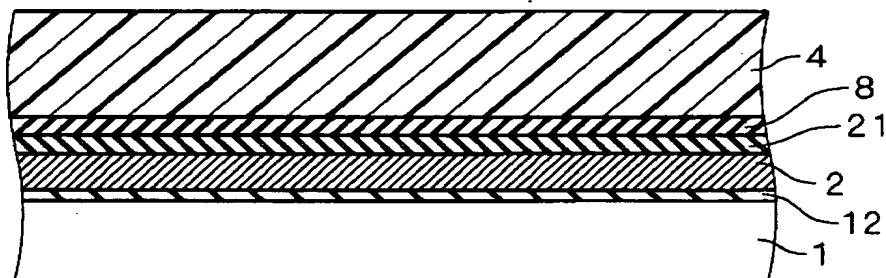
【図55】



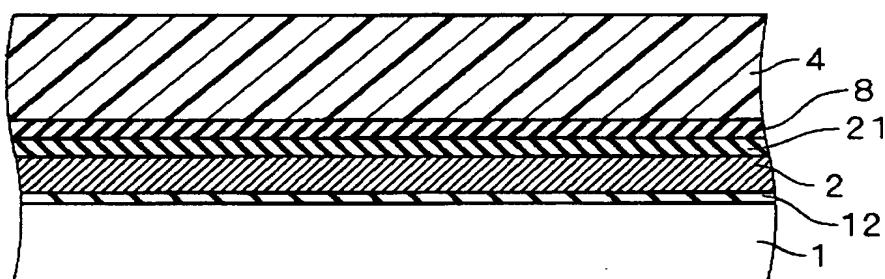
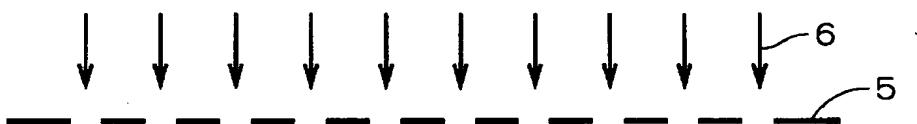
【図56】



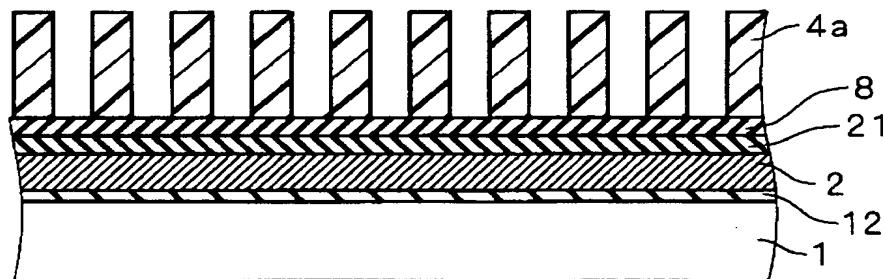
【図57】



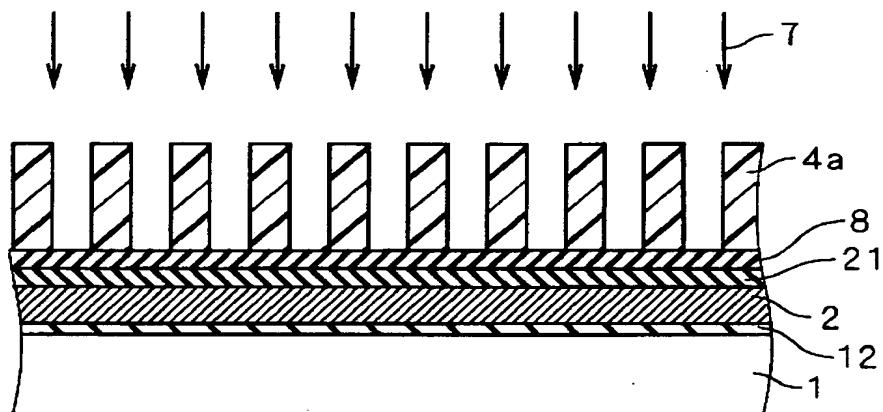
【図58】



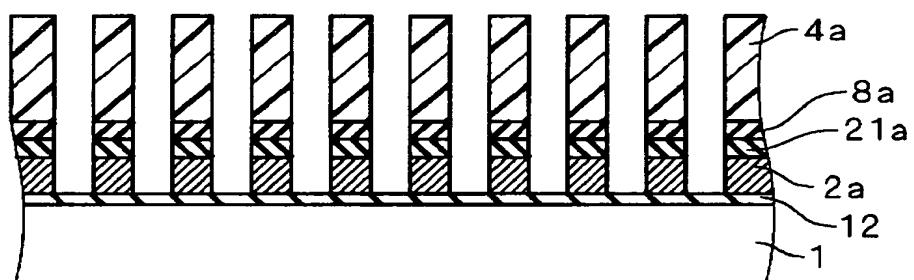
【図59】



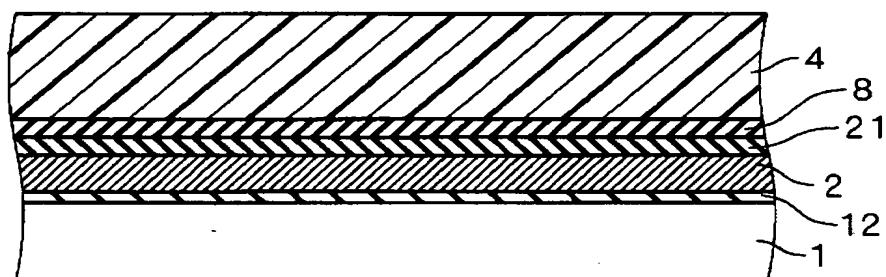
【図60】



【図61】

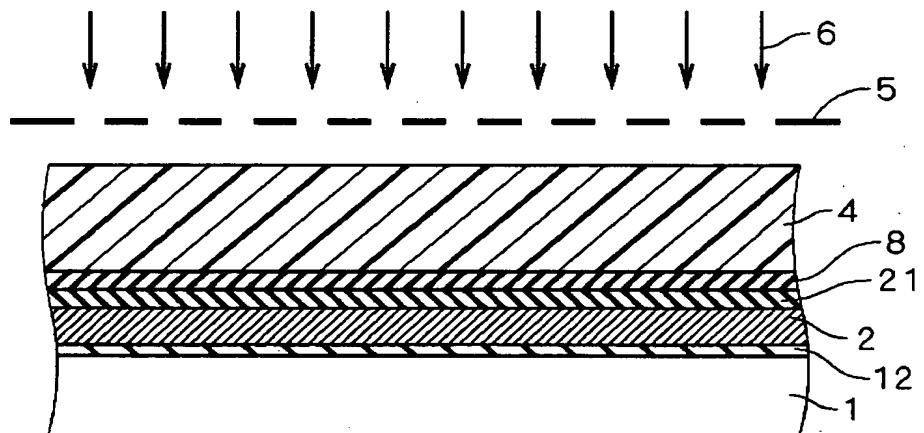


【図62】

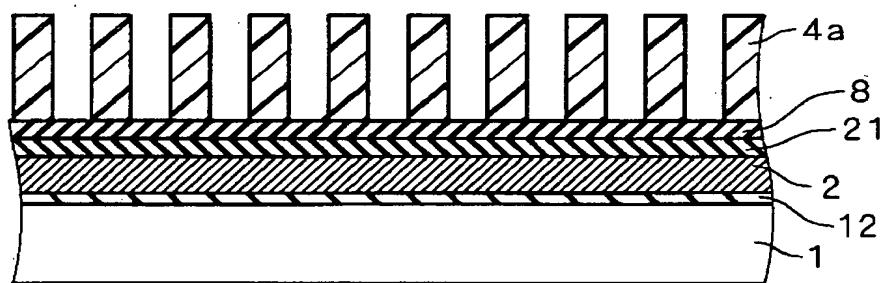


12, 21 : シリコン酸化膜

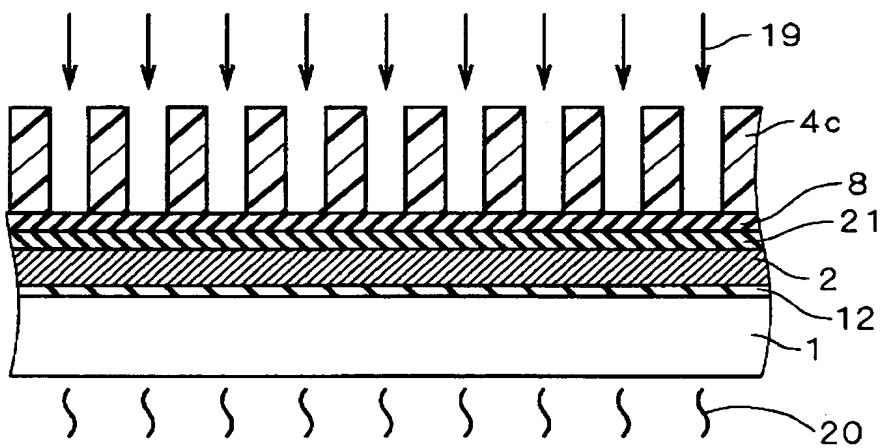
【図63】



【図64】



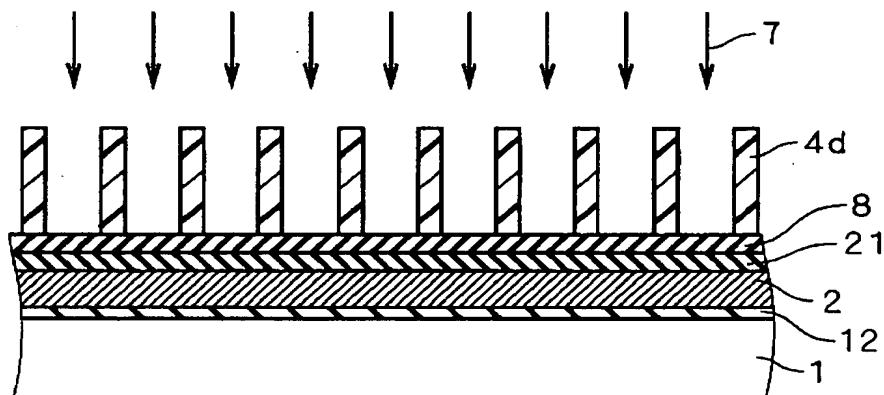
【図65】



4c : レジストパターン

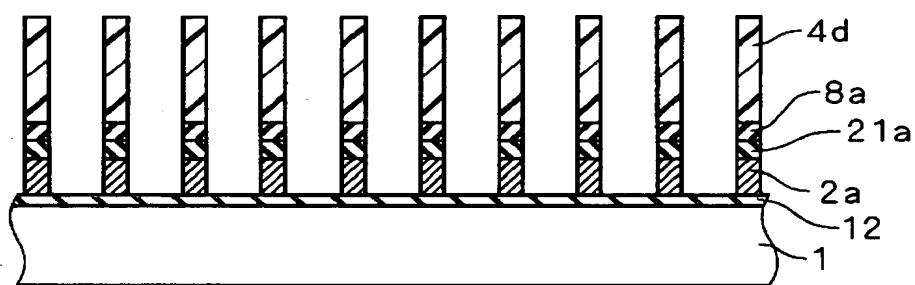
19 : KrFエキシマレーザ

【図66】

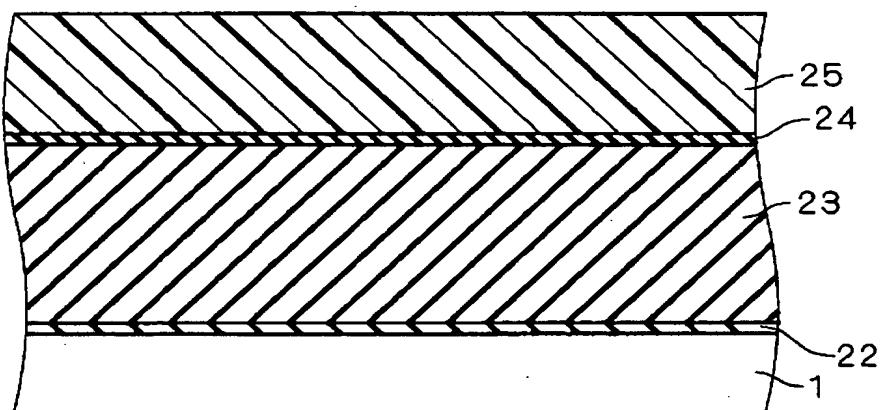


4d : レジストパターン

【図67】



【図68】



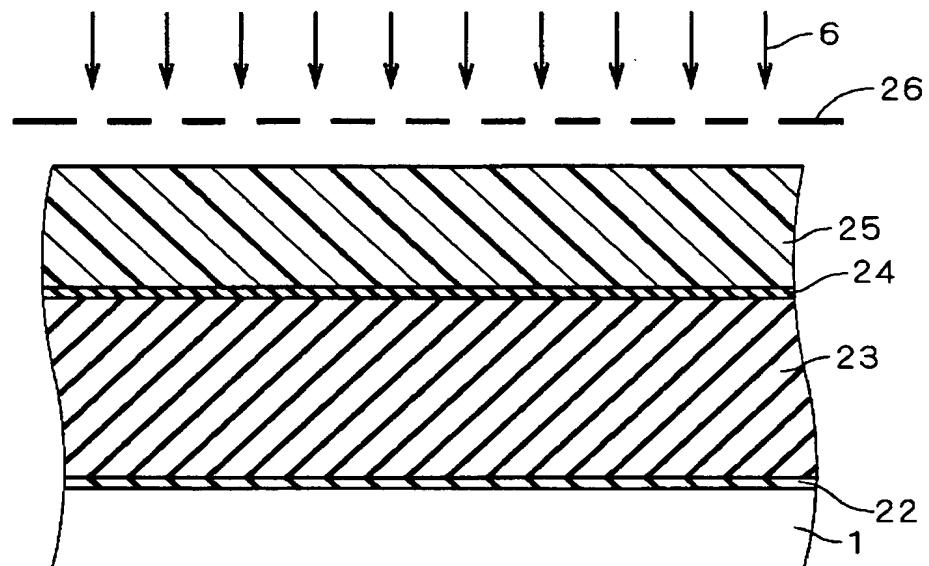
22 : シリコン塗化膜

23 : シリコン酸化膜

24 : シリコン塗化酸化膜

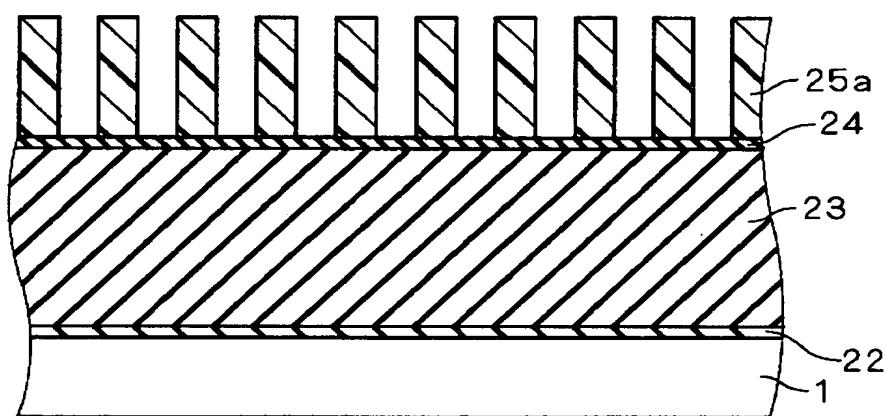
25 : フォトレジスト膜

【図69】



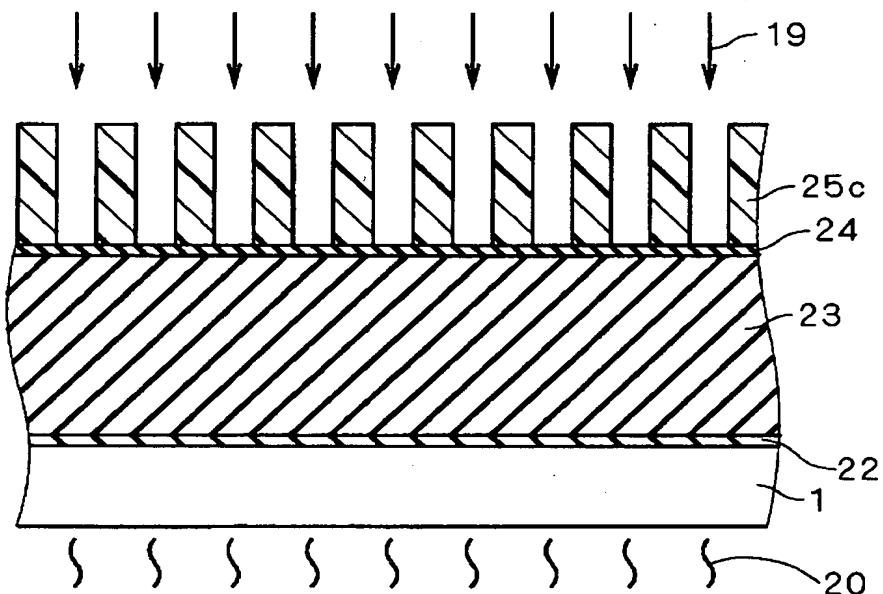
26 : レティクル

【図70】



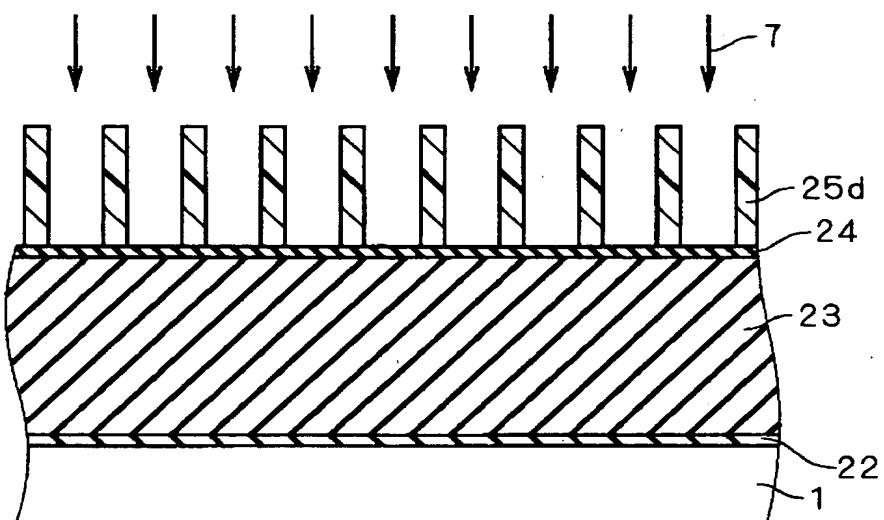
25a : レジストパターン

【図71】



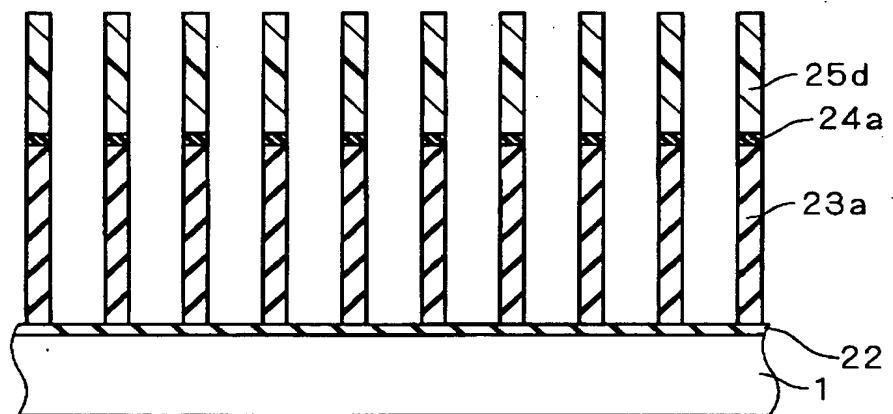
25c : レジストパターン

【図72】

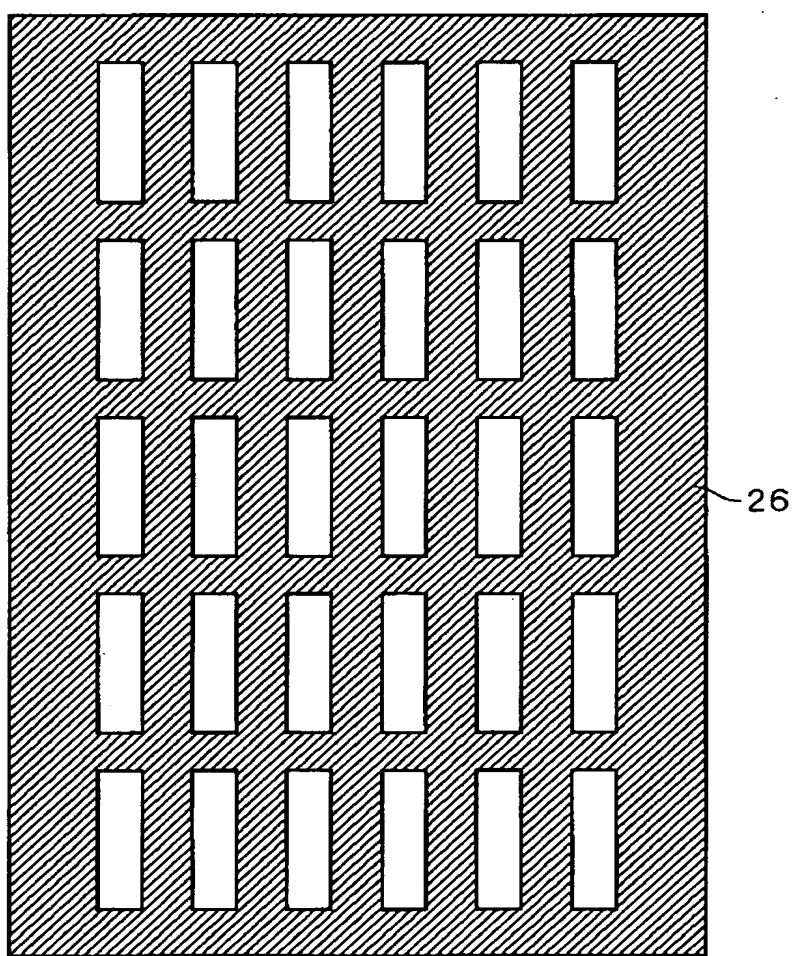


25d : レジストパターン

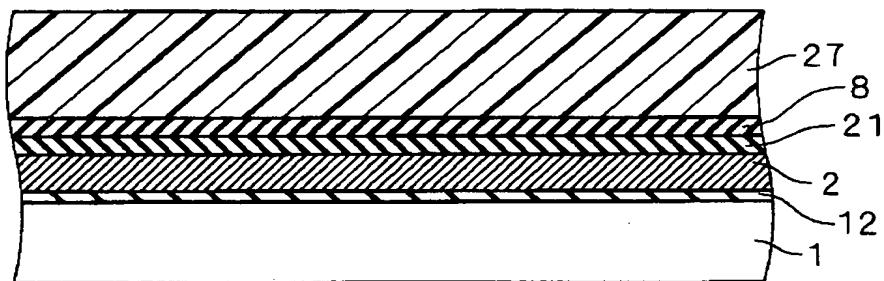
【図73】



【図74】

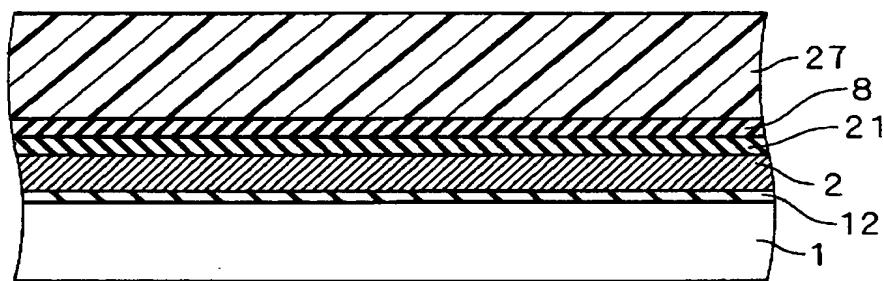
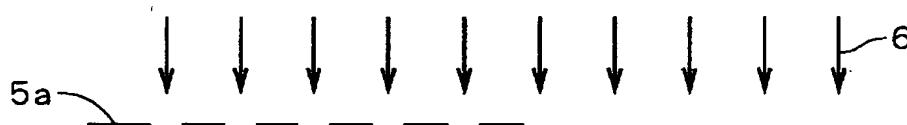


【図75】

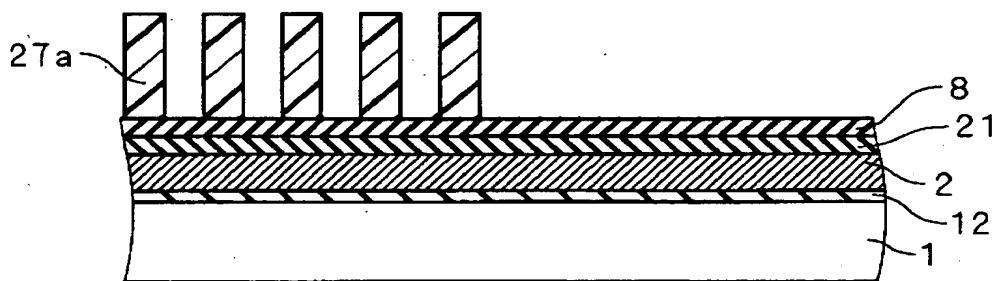


27: フォトレジスト膜

【図76】

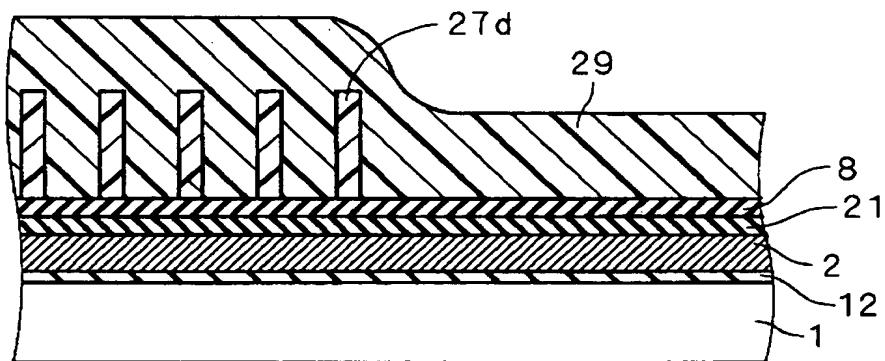


【図77】



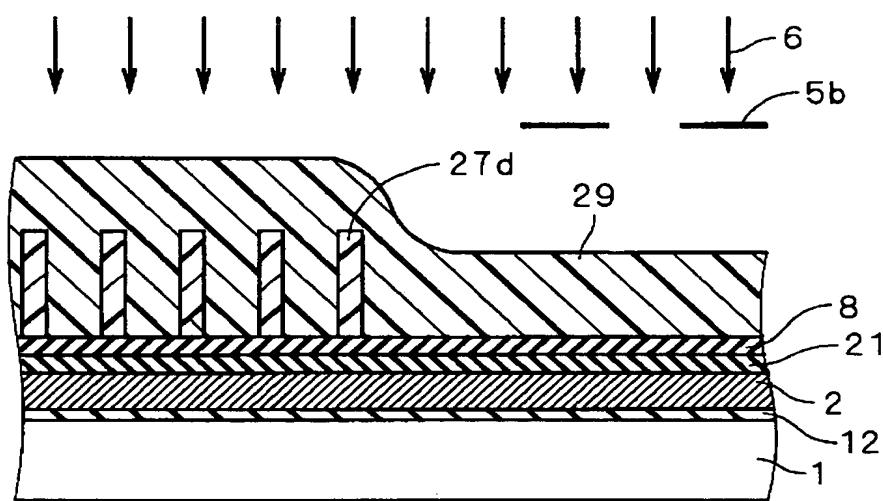
27a: レジストパターン

【図80】

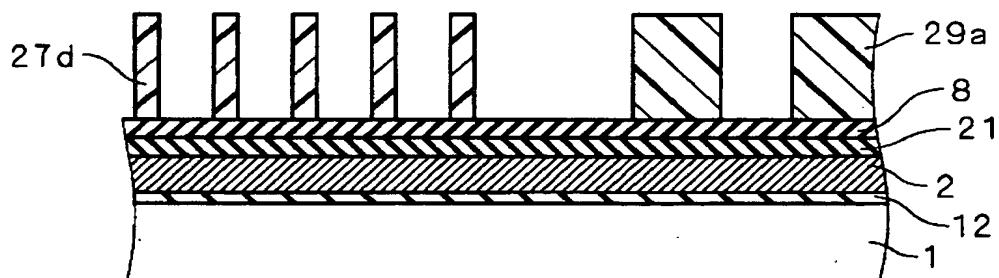


29 : フォトレジスト膜

【図81】

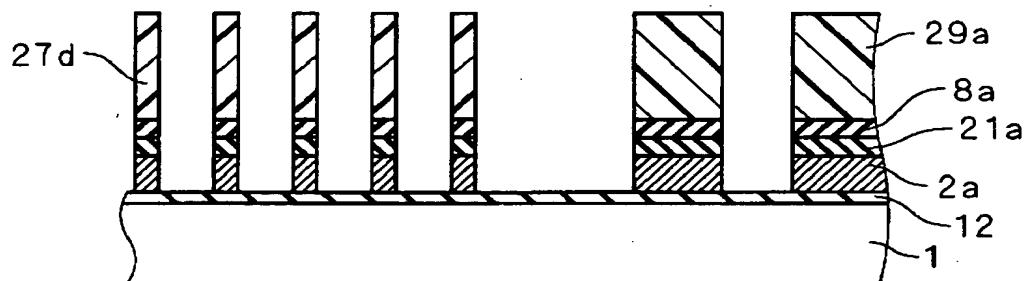


【図82】

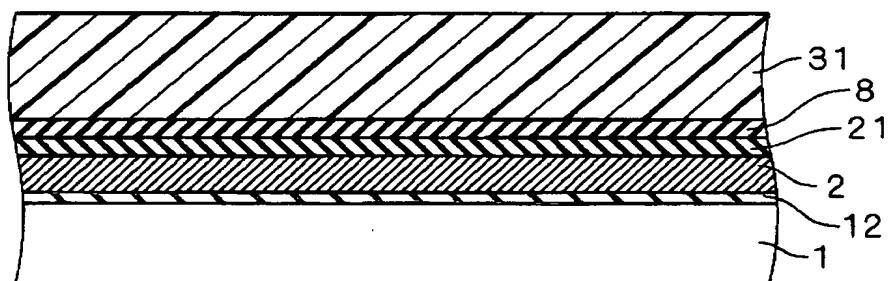


29a : レジストパターン

【図83】

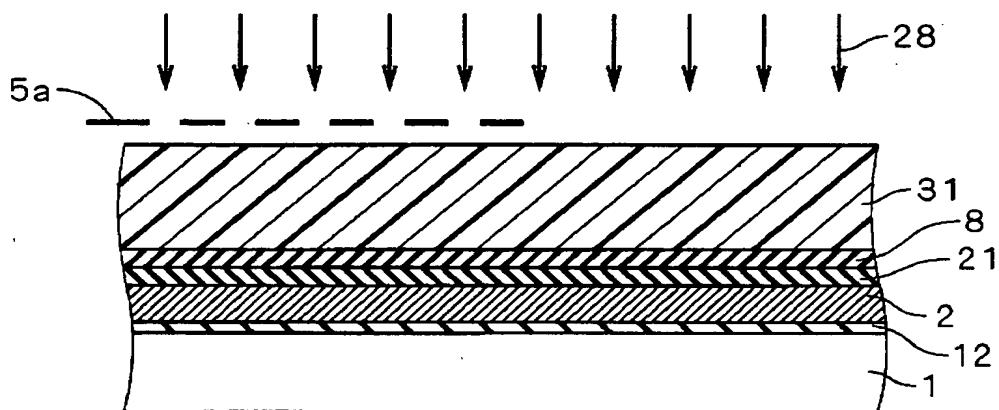


【図84】

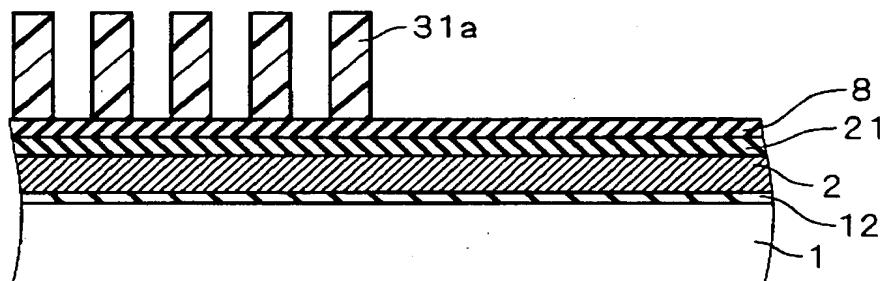


31：フォトレジスト膜

【図85】

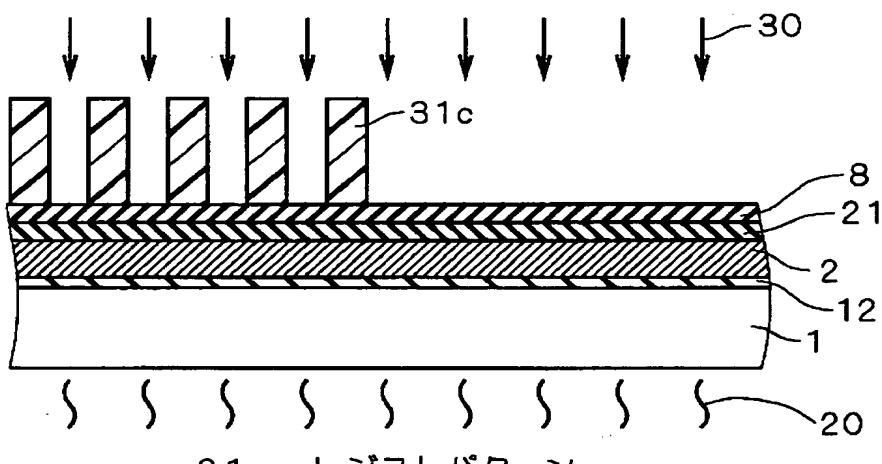


【図86】



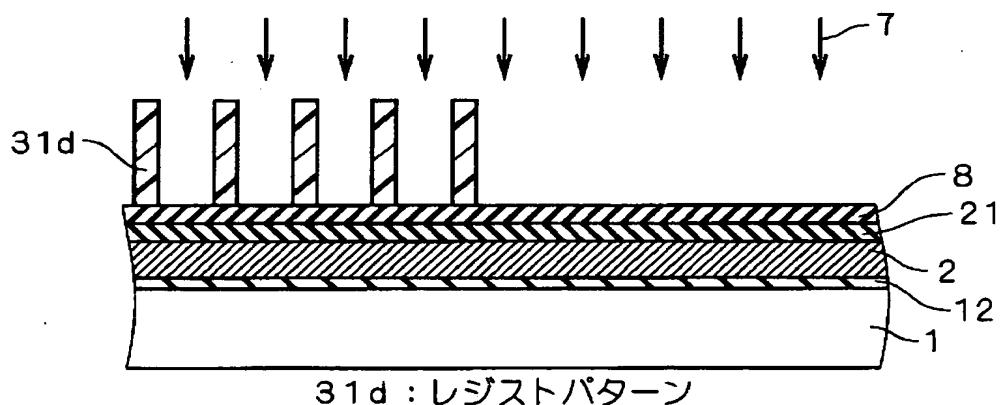
31a : レジストパターン

【図87】



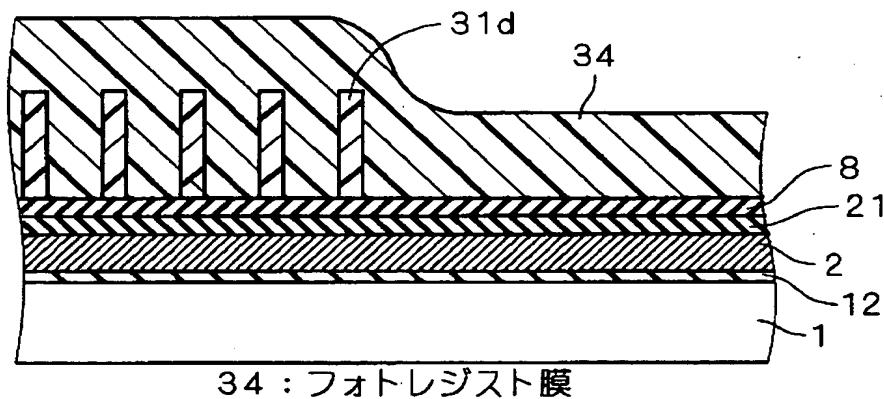
31c : レジストパターン

【図88】

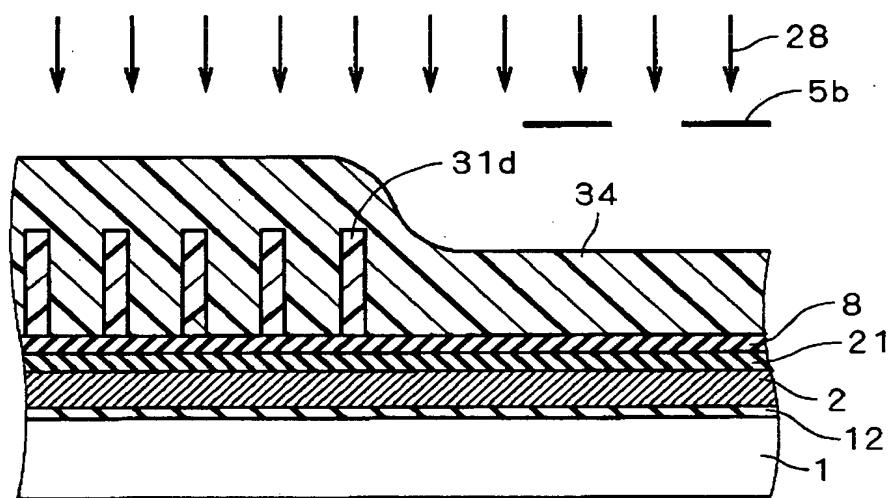


31d : レジストパターン

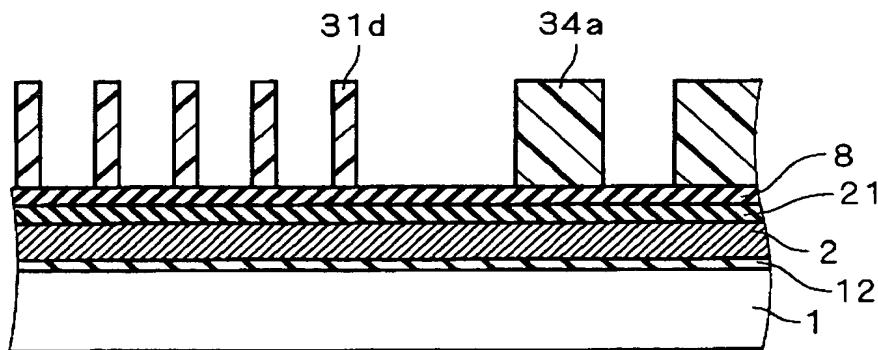
【図89】



【図90】

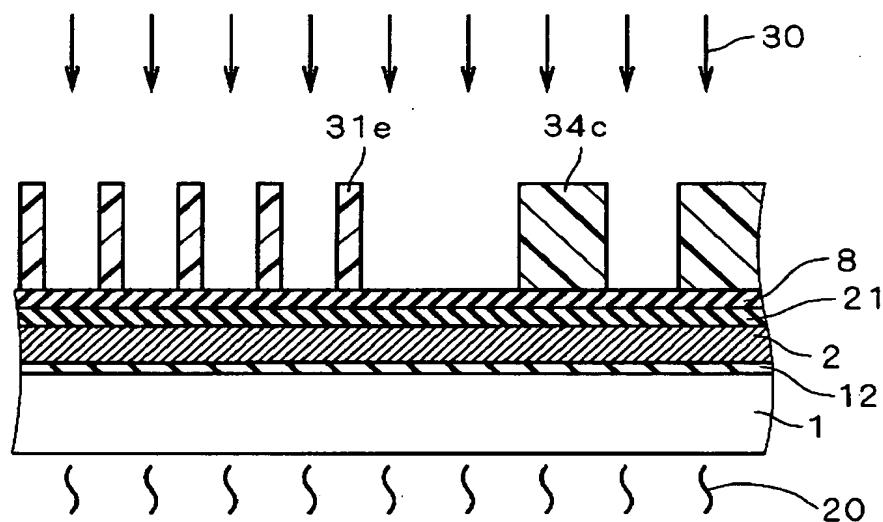


【図91】



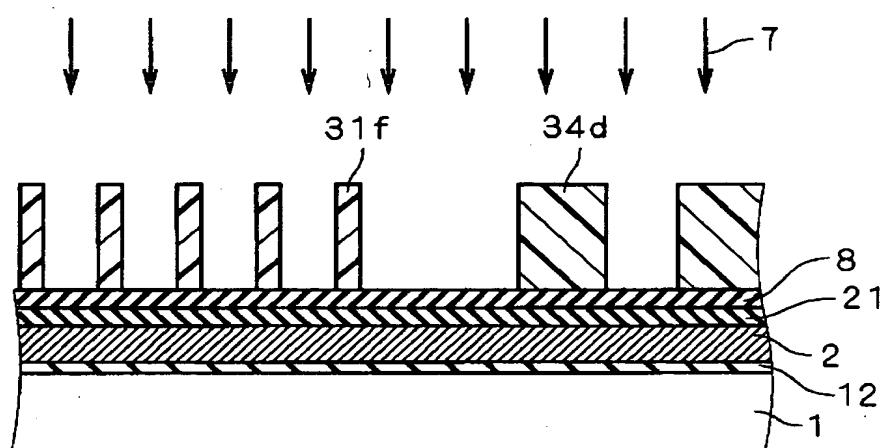
34a : レジストパターン

【図92】



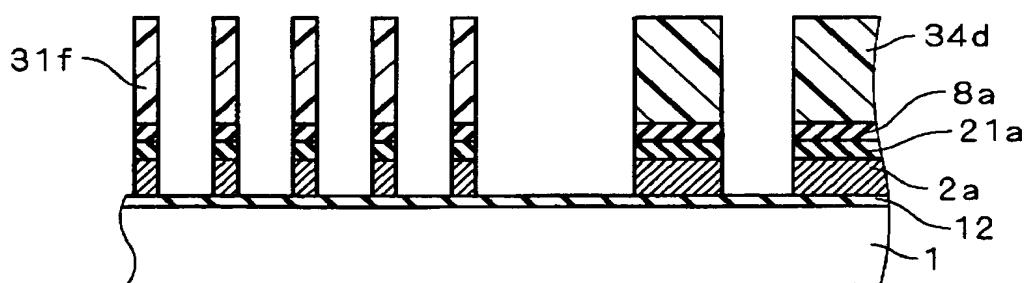
34e, 34c : レジストパターン

【図93】

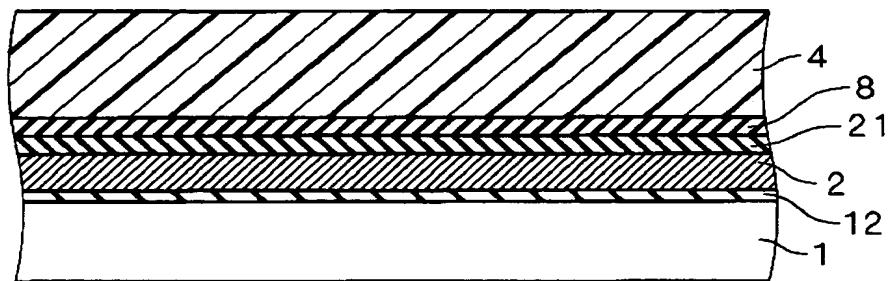


31f, 34d : レジストパターン

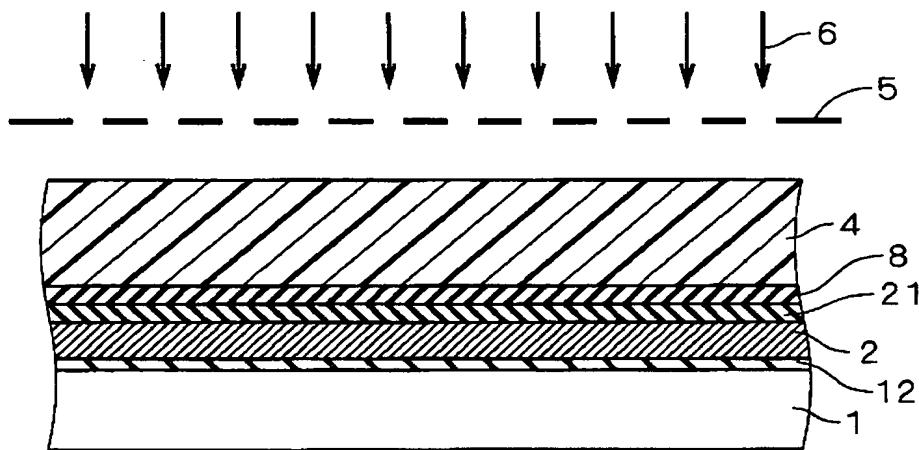
【図94】



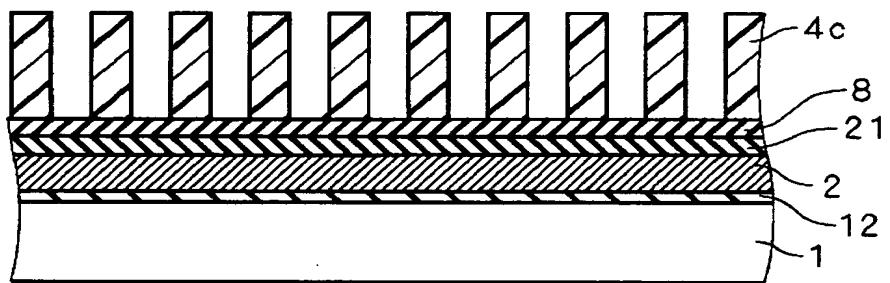
【図95】



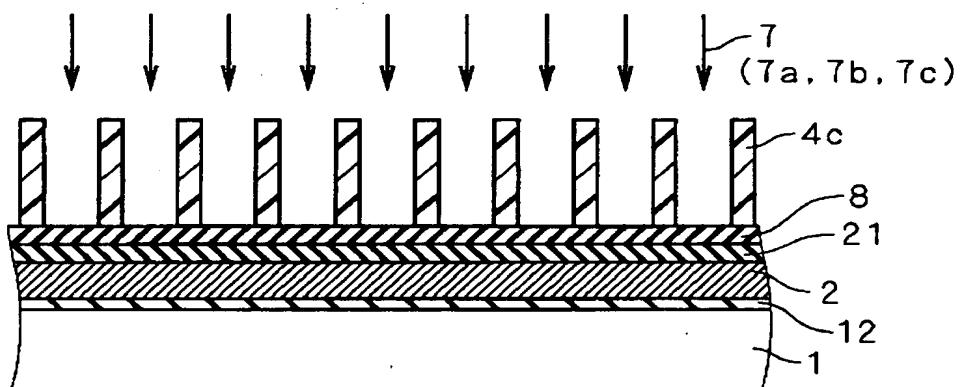
【図96】



【図97】

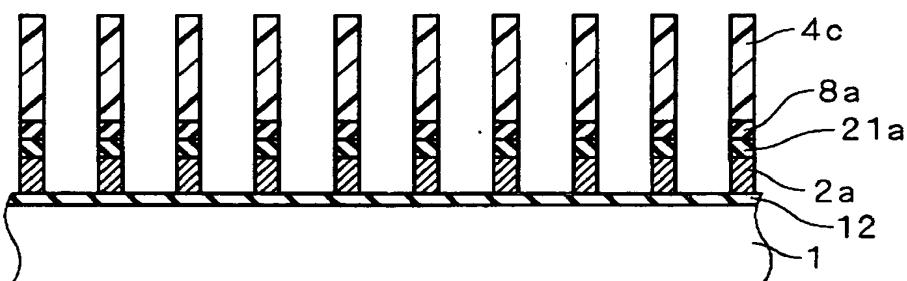


【図98】

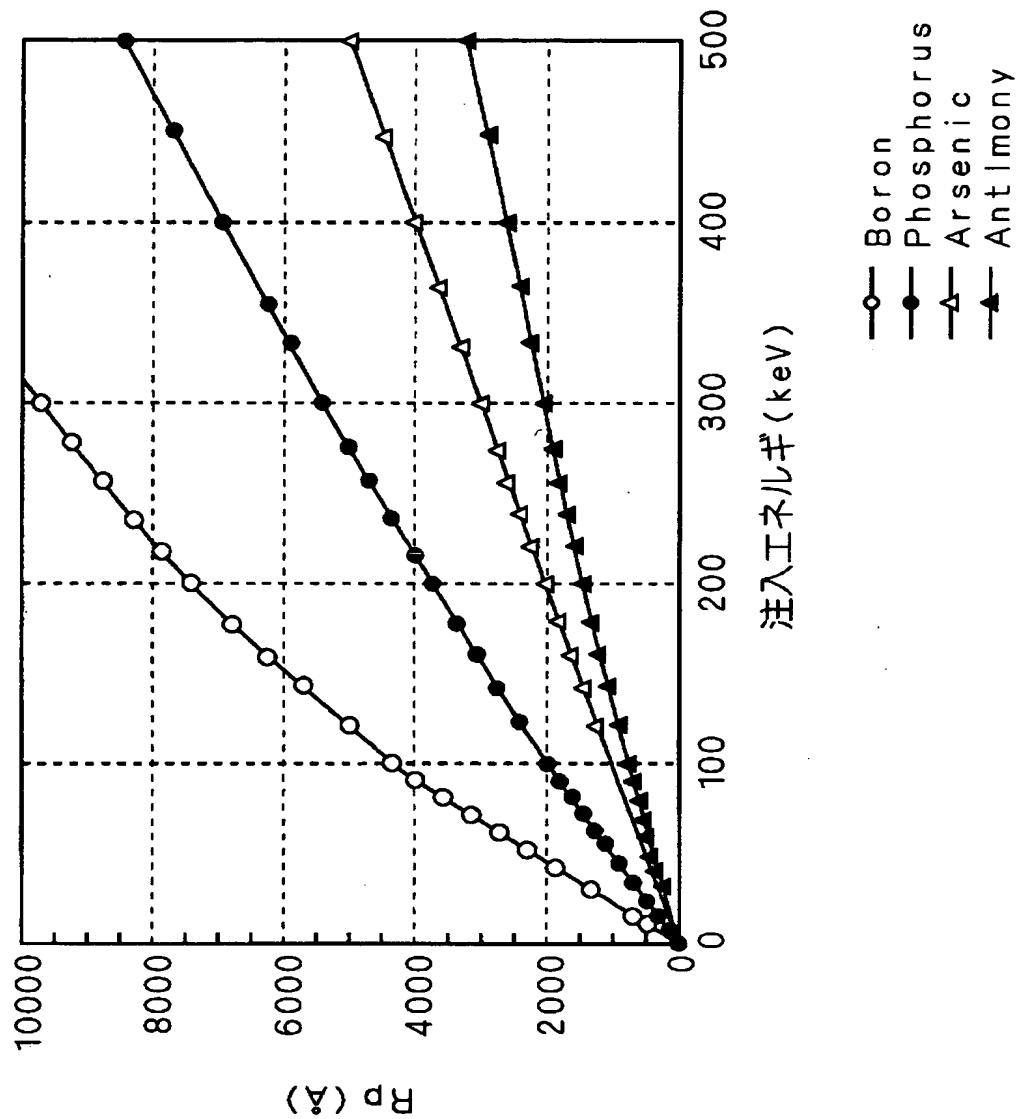


7 (7a～7c) : イオン

【図99】



【図100】



【書類名】 要約書

【要約】

【課題】 エッティング時の寸法シフト量粗密差（スペース幅が比較的広い疎な領域上における寸法シフト量とスペース幅が比較的狭い密な領域上における寸法シフト量との差）を小さく抑えることが可能な半導体装置の製造方法を得る。

【解決手段】 配線パターン形成用のレジストパターン4aに対しイオン7の注入を行う。ここでは、イオン種としてアルゴンを用い、 50 keV で $1 \times 10^{16}/\text{cm}^2$ でイオン注入を行う。このイオン注入によって、レジストパターン4aの膜厚はイオン注入前の 445 nm の75%程度の 334 nm 程度に収縮するとともに、レジストパターン4aの組成変化がなされることにより、シリコン窒化膜3及びポリシリコン層2用のエッティング処理に対するエッティング耐性が向上する。

【選択図】 図10

認定・付加情報

特許出願の番号	特願2001-051447
受付番号	50100271115
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 3月 2日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006013
 【住所又は居所】 東京都千代田区丸の内二丁目2番3号
 【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233
 【住所又は居所】 大阪市中央区城見1丁目4番70号 住友生命○
 B P プラザビル10階 吉田・吉竹・有田特許事務所
 【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672
 【住所又は居所】 大阪市中央区城見1丁目4番70号 住友生命○
 B P プラザビル10階 吉田・吉竹・有田特許事務所
 【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845
 【住所又は居所】 大阪市中央区城見1丁目4番70号 住友生命○
 B P プラザビル10階 吉田・吉竹・有田特許事務所
 【氏名又は名称】 有田 貴弘

次頁無

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社



Creation date: 10-29-2003
Indexing Officer: MTRUONG2 - MINH NGOC TRUONG
Team: OIPEBackFileIndexing
Dossier: 09915396

Legal Date: 10-23-2001

No.	Doccode	Number of pages
1	IDS	2
2	NPL	16

Total number of pages: 18

Remarks:

Order of re-scan issued on